

特性

6个独立ADC

真双极性模拟输入

引脚/软件可选范围: $\pm 10\text{ V}$ 、 $\pm 5\text{ V}$

高吞吐速率: 250 kSPS

iCMOS工艺技术

低功耗

140 mW(250 kSPS, 5 V电源)

宽输入带宽

信噪比(SNR): 86.5 dB(50 kHz输入频率)

片内基准电压源及缓冲器

并行、串行和菊花链接口模式

高速串行接口

SPI-/QSPI™-/MICROWIRE™-/DSP兼容

待机模式: 100 μW (最大值)

64引脚LQFP封装

应用

电源线路监控系统

仪表和控制系统

多轴定位系统

概述

AD7656/AD7657/AD7658¹均内置六个16/14/12-bit、快速、低功耗逐次逼近型ADC，并集成到一个封装中，采用iCMOS™工艺(工业级CMOS)设计。iCMOS是一种将高压硅与亚微米CMOS及互补双极性技术相结合的工艺。通过这种工艺，可开发在33V高压下工作的高性能模拟IC，其体积性能比是以往的高压器件所无法实现的。与采用传统CMOS工艺的模拟IC不同，iCMOS元件不但可以输入双极性信号，同时还能提升性能，大幅降低功耗并减小封装尺寸。

三款器件的吞吐速率高达250 kSPS，并且内置低噪声、宽带宽采样保持放大器，可处理最高12 MHz的输入频率。

功能框图

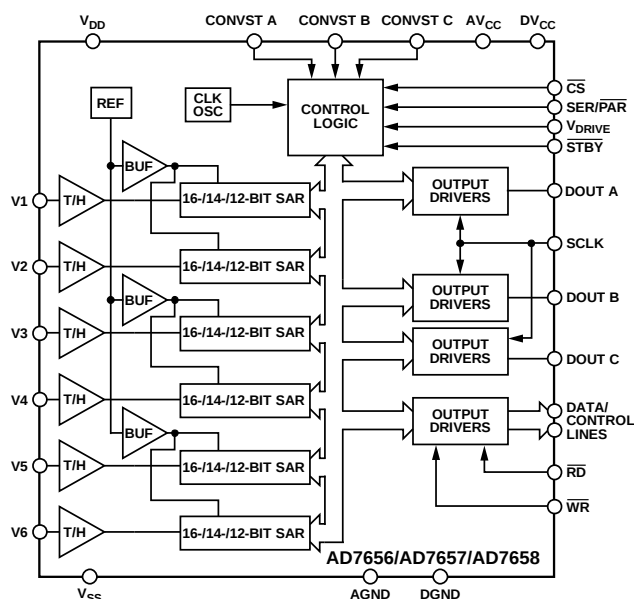


图1.

转换过程与数据采集利用CONVST信号和内部振荡器进行控制。三个CONVST引脚允许三对ADC独立地进行同步采样。AD7656/AD7657/AD7658均具有一个高速并行接口和一个高速串行接口，为器件与微处理器或DSP的接口连接创造了条件。在串行接口模式下，这些器件都允许多个ADC以菊花链形式连接至单个串行接口。三款器件均可在 $\pm 4 \times V_{\text{REF}}$ 和 $\pm 2 \times V_{\text{REF}}$ 范围内支持真双极性输入信号。此外还内置一个2.5 V片内基准电压源。

产品特色

1. 片上集成6个16/14/12-bit 250 kSPS ADC。
2. 6个真双极性、高阻抗模拟输入。
3. 并行和高速串行接口。

¹ 受美国专利第6,731,232号保护。

Rev. D

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性	1	典型性能参数	14
应用	1	术语	18
功能框图	1	工作原理	20
概述	1	转换器详解	20
产品特点	1	ADC传递函数	21
修订历史	2	基准电压源部分	21
技术规格	3	典型连接图	21
AD7656	3	驱动模拟输入	22
AD7657	5	接口部分	22
AD7658	7	应用须知	29
时序规格	9	布局	29
绝对最大额定值	10	电源配置	29
热阻	10	外形尺寸	30
ESD警告	10	订购指南	30
引脚配置和功能描述	11		

修订历史

2012年3月—修订版C至修订版D

更改图26	22
-------------	----

2010年8月—修订版B至修订版C

更改表4中的 t_l 单位	9
更改表5中的 V_{DD} 至 AV_{CC} 额定值	10
增加“电源配置”部分	29
增加图36	29
V_{DD} 至 AV_{CC}	

2010年1月—修订版A至修订版B

更改表1中的直流精度参数单位	3
更改表2中的直流精度参数	5
更改表3中的直流精度参数	7
更改“术语”部分	18
更新“外形尺寸”	30
更改“订购指南”	30

2006年4月—修订版0至修订版A

增加AD7657/AD7658器件	通篇
更改表1	3
更改表5	10

2006年3月—修订版0：初始版

技术规格

AD7656

除非另有说明, $V_{REF} = 2.5\text{ V}$ 内部/外部基准电压, $AV_{CC} = 4.75\text{ V}$ 至 5.25 V , $DV_{CC} = 4.75\text{ V}$ 至 5.25 V , $V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ;
 对于 $\pm 4 \times V_{REF}$ 范围: $V_{DD} = 10\text{ V}$ 至 16.5 V , $V_{SS} = -10\text{ V}$ 至 -16.5 V ; 对于 $\pm 2 \times V_{REF}$ 范围: $V_{DD} = 5\text{ V}$ 至 16.5 V , $V_{SS} = -5\text{ V}$ 至 -16.5 V ;
 $f_{SAMPLE} = 250\text{ kSPS}$, $T_A = T_{MIN}$ 至 T_{MAX} °¹

表1.

参数	B版本 ¹	Y版本 ¹	单位	测试条件/注释
动态性能				$f_{IN} = 50\text{ kHz}$ 正弦波
信纳比(SINAD) ²	84	84	dB(最小值)	
	85.5	85.5	dB(典型值)	
信噪比(SNR) ²	85	85	dB(最小值)	
	86.5	86.5	dB(典型值)	
总谐波失真(THD) ²	-90	-90	dB(最大值)	
	-92	-92	dB(典型值)	$V_{DD}/V_{SS} = \pm 5\text{ V}$ 至 $\pm 10\text{ V}$
	-100	-100	dB(典型值)	$V_{DD}/V_{SS} = \pm 12\text{ V}$ 至 $\pm 16.5\text{ V}$
峰值谐波或杂散噪声(SFDR) ²	-100	-100	dB(典型值)	
交调失真(IMD) ²				$f_a = 50\text{ kHz}$, $f_b = 49\text{ kHz}$
二阶项	-112	-112	dB(典型值)	
三阶项	-107	-107	dB(典型值)	
孔径延迟	10	10	ns(最大值)	
孔径延迟匹配	4	4	ns(最大值)	
孔径抖动	35	35	ps(典型值)	
通道间隔离 ²	-100	-100	dB(典型值)	未选中通道的 f_{IN} 高达 100 kHz
全功率带宽	12	12	MHz(典型值)	在 -3 dB 条件下
	2	2	MHz(典型值)	在 -0.1 dB 条件下
直流精度				
分辨率	16	16	Bits	
无失码	15	14	bits(最小值)	
	16	16	bits(最小值)	在 25°C 条件下
积分非线性 ²	± 3	± 4.5	LSB(最大值)	
	± 1	± 1	LSB(典型值)	
正满量程误差 ²	± 0.75	± 0.75	% FSR(最大值)	典型值 $\pm 0.22\%$ FSR
正满量程误差匹配 ²	± 0.35	± 0.35	% FSR(最大值)	
双极性零电平误差 ²	± 0.023	± 0.023	% FSR(最大值)	典型值 $\pm 0.004\%$ FSR
双极性零电平误差匹配 ²	± 0.038	± 0.038	% FSR(最大值)	
负满量程误差 ²	± 0.75	± 0.75	% FSR(最大值)	典型值 $\pm 0.22\%$ FSR
负满量程误差匹配 ²	± 0.35	± 0.35	% FSR(最大值)	
模拟输入				各范围的 V_{DD}/V_{SS} 最小值见表8
输入电压范围	$\pm 4 \times V_{REF}$	$\pm 4 \times V_{REF}$	V	RNG bit/RANGE引脚 = 0
	$\pm 2 \times V_{REF}$	$\pm 2 \times V_{REF}$	V	RNG bit/RANGE引脚 = 1
直流泄漏电流	± 1	± 1	μA (最大值)	
输入电容 ³	10	10	pF(典型值)	$\pm 4 \times V_{REF}$ 范围(采样时)
	14	14	pF(典型值)	$\pm 2 \times V_{REF}$ 范围(采样时)
基准电压输入/输出				
基准输入电压范围	2.5/3	2.5/3	V(最小值/最大值)	
直流泄漏电流	± 1	± 1	μA (最大值)	
输入电容 ³	18.5	18.5	pF(典型值)	$REF_{EN/DIS} = 1$
基准输出电压	2.49/2.51	2.49/2.51	V(最小值/最大值)	
长期稳定性	150	150	ppm(典型值)	1,000小时
基准电压源温度系数	25	25	ppm/ $^\circ\text{C}$ (最大值)	
	6	6	ppm/ $^\circ\text{C}$ (典型值)	

AD7656/AD7657/AD7658

参数	B版本 ¹	Y版本 ¹	单位	测试条件/注释
逻辑输入				
输入高电压(V_{INH})	$0.7 \times V_{DRIVE}$	$0.7 \times V_{DRIVE}$	V(最小值)	典型值10 nA, $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入低电压(V_{INL})	$0.3 \times V_{DRIVE}$	$0.3 \times V_{DRIVE}$	V(最大值)	
输入电流(I_{IN})	± 1	± 1	μA (最大值)	
输入电容(C_{IN}) ³	10	10	pF(最大值)	
逻辑输出				
输出高电压(V_{OH})	$V_{DRIVE} - 0.2$	$V_{DRIVE} - 0.2$	V(最小值)	$I_{SOURCE} = 200\text{ }\mu\text{A}$ $I_{SINK} = 200\text{ }\mu\text{A}$
输出低电压(V_{OL})	0.2	0.2	V(最大值)	
浮空态漏电流	± 1	± 1	μA (最大值)	
悬空态输出电容 ³	10	10	pF(最大值)	
输出编码	二进制补码			
转换速率				
转换时间	3.1	3.1	μs (最大值)	仅并行接口模式
采样保持器采集时间 ^{2,3}	550	550	ns(最大值)	
吞吐速率	250	250	kSPS	
电源要求				
V_{DD}	5/15	5/15	V(标称值最小值/最大值)	对于 $4 \times V_{REF}$ 范围, $V_{DD} = 10\text{ V}$ 至 16.5 V 对于 $4 \times V_{REF}$ 范围, $V_{DD} = -10\text{ V}$ 至 -16.5 V
V_{SS}	-5/-15	-5/-15	V(标称值最小值/最大值)	
AV_{CC}	5	5	V(标称值)	数字 $I/P_s = 0\text{ V}$ 或 V_{DRIVE} $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\text{ V}$, $V_{DD} = 16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $f_{SAMPLE} = 250\text{ kSPS}$, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\text{ V}$, $V_{DD} = 16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_{SS} = -16.5\text{ V}$, $f_{SAMPLE} = 250\text{ kSPS}$ $V_{DD} = 16.5\text{ V}$, $f_{SAMPLE} = 250\text{ kSPS}$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\text{ V}$, $V_{DD} = 16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ SCLK开或关, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\text{ V}$, $V_{DD} = 16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\text{ V}$, $V_{DD} = 16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $f_{SAMPLE} = 250\text{ kSPS}$
DV_{CC}	5	5	V(标称值)	
V_{DRIVE}	3/5	3/5	V(标称值最小值/最大值)	
I_{TOTAL}				
正常模式(静态) (包括 IAV_{CC} 、 IV_{DD} 、 IV_{SS} 、 IV_{DRIVE} 、 IDV_{CC})	28	28	mA(最大值)	
正常模式(工作状态) (包括 IAV_{CC} 、 IV_{DD} 、 IV_{SS} 、 IV_{DRIVE} 、 IDV_{CC})	26	26	mA(最大值)	
I_{SS} (工作状态)	0.25	0.25	mA(最大值)	
I_{DD} (工作状态)	0.25	0.25	mA(最大值)	
部分掉电省电模式	7	7	mA(最大值)	
完全掉电省电模式($\overline{STBY}$ 引脚)	80	80	μA (最大值)	
功耗				
正常模式(静态)	143	143	mW(最大值)	
正常模式(工作状态)	140	140	mW(最大值)	
部分掉电省电模式	35	35	mW(最大值)	
完全掉电省电模式($\overline{STBY}$ 引脚)	100	100	μW (最大值)	

¹ 温度范围如下: B版本为-40°C至+85°C, Y版本为-40°C至+125°C。

² 参见“术语”部分。

³ 样片在初次发布期间均经过测试, 以确保符合标准要求。

AD7657

除非另有说明, $V_{REF} = 2.5\text{ V}$ 内部/外部基准电压, $AV_{CC} = 4.75\text{ V}$ 至 5.25 V , $DV_{CC} = 4.75\text{ V}$ 至 5.25 V , $V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ;
 对于 $\pm 4 \times V_{REF}$ 范围: $V_{DD} = 10\text{ V}$ 至 16.5 V , $V_{SS} = -10\text{ V}$ 至 -16.5 V ; 对于 $\pm 2 \times V_{REF}$ 范围: $V_{DD} = 5\text{ V}$ 至 16.5 V , $V_{SS} = -5\text{ V}$ 至 -16.5 V ;
 $f_{SAMPLE} = 250\text{ kSPS}$, $T_A = T_{MIN}$ 至 T_{MAX} °¹

表2.

参数	B版本 ¹	Y版本 ¹	单位	测试条件/注释
动态性能				$f_{IN} = 50\text{ kHz}$ 正弦波
信纳比(SINAD) ²	81.5	81.5	dB(最小值)	
信噪比(SNR) ²	82.5	82.5	dB(最小值)	
	83.5	83.5	dB(典型值)	
总谐波失真(THD) ²	-90	-89	dB(最大值)	
	-92	-92	dB(典型值)	
峰值谐波或杂散噪声(SFDR) ²	-100	-100	dB(典型值)	
交调失真(IMD) ²				$f_a = 50\text{ kHz}$, $f_b = 49\text{ kHz}$
二阶项	-109	-109	dB(典型值)	
三阶项	-104	-104	dB(典型值)	
孔径延迟	10	10	ns(最大值)	
孔径延迟匹配	4	4	ns(最大值)	
孔径抖动	35	35	ps(典型值)	
通道间隔离 ²	-100	-100	dB(典型值)	未选中通道的 f_{IN} 高达 100 kHz
全功率带宽	12	12	MHz(典型值)	在 -3 dB 条件下
	2	2	MHz(典型值)	在 -0.1 dB 条件下
直流精度				
分辨率	14	14	bits	
无失码	14	14	bits(最小值)	
积分非线性 ²	± 1.5	± 1.5	LSB(最大值)	
	± 1	± 1	LSB(典型值)	
正满量程误差 ²	± 0.75	± 0.75	% FSR(最大值)	典型值 $\pm 0.183\%$ FSR
正满量程误差匹配 ²	± 0.3	± 0.3	% FSR(最大值)	
双极性零电平误差 ²	± 0.0305	± 0.0305	% FSR(最大值)	典型值 $\pm 0.015\%$ FSR
双极性零电平误差匹配 ²	± 0.0427	± 0.0427	% FSR(最大值)	
负满量程误差 ²	± 0.75	± 0.75	% FSR(最大值)	典型值 $\pm 0.183\%$ FSR
负满量程误差匹配 ²	± 0.3	± 0.3	% FSR(最大值)	
模拟输入				各范围的 V_{DD}/V_{SS} 最小值见表8
输入电压范围	$\pm 4 \times V_{REF}$	$\pm 4 \times V_{REF}$	V	RNG bit/RANGE引 脚 = 0
	$\pm 2 \times V_{REF}$	$\pm 2 \times V_{REF}$	V	RNG bit/RNG bit/RANGE引 脚 = 1
直流泄漏电流	± 1	± 1	μA (最大值)	
输入电容 ³	10	10	pF(典型值)	$\pm 4 \times V_{REF}$ 范围(采样时)
	14	14	pF(典型值)	$\pm 2 \times V_{REF}$ 范围(采样时)
基准电压输入/输出				
基准输入电压范围	2.5/3	2.5/3	V(最小值/最大值)	
直流漏电流	± 1	± 1	μA (最大值)	
输入电容 ³	18.5	18.5	pF(典型值)	$REF_{EN/DIS} = 1$
基准输出电压	2.49/2.51	2.49/2.51	V(最小值/最大值)	
长期稳定性	150	150	ppm(典型值)	1,000小时
基准电压源温度系数	25	25	ppm/°C(最大值)	
	6	6	ppm/°C(典型值)	
逻辑输入				
输入高电压(V_{INH})	$0.7 \times V_{DRIVE}$	$0.7 \times V_{DRIVE}$	V(最小值)	
输入低电压(V_{INL})	$0.3 \times V_{DRIVE}$	$0.3 \times V_{DRIVE}$	V(最大值)	
输入电流(I_{IN})	± 1	± 1	μA (最大值)	典型值 10 nA , $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入电容(C_{IN}) ³	10	10	pF(最大值)	

AD7656/AD7657/AD7658

参数	B版本 ¹	Y版本 ¹	单位	测试条件/注释
逻辑输出				
输出高电压(V_{OH})	$V_{DRIVE} - 0.2$	$V_{DRIVE} - 0.2$	V(最小值)	$I_{SOURCE} = 200\ \mu A$ $I_{SINK} = 200\ \mu A$
输出低电压(V_{OL})	0.2	0.2	V(最大值)	
浮空态泄漏电流	± 1	± 1	μA (最大值)	
悬空态输出电容 ³	10	10	pF(最大值)	
输出编码	二进制补码			
转换速率				
转换时间	3.1	3.1	μs (最大值)	仅并行接口模式
采样保持器采集时间 ^{2,3}	550	550	ns(最大值)	
吞吐速率	250	250	kSPS	
电源要求				
V_{DD}	5/15	5/15	V(标称值最小值/最大值)	对于 $4 \times V_{REF}$ 范围, $V_{DD} = 10\ V$ 至 $16.5\ V$ 对于 $4 \times V_{REF}$ 范围, $V_{DD} = -10\ V$ 至 $-16.5\ V$
V_{SS}	-5/-15	-5/-15	V(标称值最小值/最大值)	
AV_{CC}	5	5	V(标称值)	数字 $I/P_S = 0\ V$ 或 V_{DRIVE} $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\ V$, $V_{DD} = 16.5\ V$, $V_{SS} = -16.5\ V$ $f_{SAMPLE} = 250\ kSPS$, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\ V$, $V_{DD} = 16.5\ V$, $V_{SS} = -16.5\ V$ $V_{SS} = -16.5\ V$, $f_{SAMPLE} = 250\ kSPS$ $V_{DD} = 16.5\ V$, $f_{SAMPLE} = 250\ kSPS$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\ V$, $V_{DD} = 16.5\ V$, $V_{SS} = -16.5\ V$ SCLK开或关, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\ V$, $V_{DD} = 16.5\ V$, $V_{SS} = -16.5\ V$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\ V$, $V_{DD} = 16.5\ V$, $V_{SS} = -16.5\ V$ $f_{SAMPLE} = 250\ kSPS$
DV_{CC}	5	5	V(标称值)	
V_{DRIVE}	3/5	3/5	V(标称值最小值/最大值)	
I_{TOTAL}				
正常模式(静态) (包括 IAV_{CC} 、 IV_{DD} 、 IV_{SS} 、 IV_{DRIVE} 、 IDV_{CC})	28	28	mA(最大值)	
正常模式(工作状态) (包括 IAV_{CC} 、 IV_{DD} 、 IV_{SS} 、 IV_{DRIVE} 、 IDV_{CC})	26	26	mA(最大值)	
I_{SS} (工作状态)	0.25	0.25	mA(最大值)	
I_{DD} (工作状态)	0.25	0.25	mA(最大值)	
部分掉电省电模式	7	7	mA(最大值)	
完全掉电省电模式(STBY引脚)	80	80	μA (最大值)	
功耗				
正常模式(静态)	143	143	mW(最大值)	$f_{SAMPLE} = 250\ kSPS$
正常模式(工作状态)	140	140	mW(最大值)	
部分掉电省电模式	35	35	mW(最大值)	
完全掉电省电模式(STBY引脚)	100	100	mW(最大值)	

¹ 温度范围如下：B版本为-40°C至+85°C，Y版本为-40°C至+125°C。

² 参见“术语”部分。

³ 样品在初次发布期间均经过测试，以确保符合标准要求。

AD7658

除非另有说明, $V_{REF} = 2.5\text{ V}$ 内部/外部基准电压, $AV_{CC} = 4.75\text{ V}$ 至 5.25 V , $DV_{CC} = 4.75\text{ V}$ 至 5.25 V , $V_{DRIVE} = 2.7\text{ V}$ 至 5.25 V ;
 对于 $\pm 4 \times V_{REF}$ 范围: $V_{DD} = 10\text{ V}$ 至 16.5 V , $V_{SS} = -10\text{ V}$ 至 -16.5 V ; 对于 $\pm 2 \times V_{REF}$ 范围: $V_{DD} = 5\text{ V}$ 至 16.5 V , $V_{SS} = -5\text{ V}$ 至 -16.5 V ;
 $f_{SAMPLE} = 250\text{ kSPS}$, $T_A = T_{MIN}$ 至 T_{MAX} °¹

表3.

参数	B版本 ¹	Y版本 ¹	单位	测试条件/注释
动态性能				$f_{IN} = 50\text{ kHz}$ 正弦波
信纳比(SINAD) ²	73	73	dB(最小值)	
	73.5	73.5	dB(典型值)	
总谐波失真(THD) ²	-88	-88	dB(最大值)	
	-92	-92	dB(典型值)	
峰值谐波或杂散噪声(SFDR) ²	-97	-97	dB(典型值)	
交调失真(IMD) ²				$f_a = 50\text{ kHz}$, $f_b = 49\text{ kHz}$
二阶项	-106	-106	dB(典型值)	
三阶项	-101	-101	dB(典型值)	
孔径延迟	10	10	ns(最大值)	
孔径延迟匹配	4	4	ns(最大值)	
孔径抖动	35	35	ps(典型值)	
通道间隔离 ²	-100	-100	dB(典型值)	未选中通道的 f_{IN} 高达 100 kHz
全功率带宽	12	12	MHz(典型值)	在 -3 dB 条件下
	2	2	MHz(典型值)	在 -0.1 dB 条件下
直流精度				
分辨率	12	12	Bits	
无失码	12	12	bits(最小值)	
微分非线性	± 0.7	± 0.7	LSB(最大值)	
积分非线性 ²	± 1	± 1	LSB(最大值)	
正满量程误差 ²	± 0.75	± 0.75	% FSR(最大值)	典型值 $\pm 0.244\%$ FSR
正满量程误差匹配 ²	± 0.366	± 0.366	% FSR(最大值)	
双极性零电平误差 ²	± 3	± 3	LSB(最大值)	典型值 $\pm 0.0488\%$ FSR
双极性零电平误差匹配 ²	± 3	± 3	LSB(最大值)	
负满量程误差 ²	± 0.75	± 0.75	% FSR(最大值)	典型值 $\pm 0.244\%$ FSR
负满量程误差匹配 ²	± 0.366	± 0.366	% FSR(最大值)	
模拟输入				各范围的 V_{DD}/V_{SS} 最小值见表8
输入电压范围	$\pm 4 \times V_{REF}$	$\pm 4 \times V_{REF}$	V	RNG bit/RANGE引脚 = 0
	$\pm 2 \times V_{REF}$	$\pm 2 \times V_{REF}$	V	RNG bit/RANGE引脚 = 1
直流泄漏电流	± 1	± 1	μA (最大值)	
输入电容 ³	10	10	pF(典型值)	$\pm 4 \times V_{REF}$ 范围(采样时)
	14	14	pF(典型值)	$\pm 2 \times V_{REF}$ 范围(采样时)
基准电压输入/输出				
基准输入电压范围	2.5/3	2.5/3	V(最小值/最大值)	
直流泄漏电流	± 1	± 1	μA (最大值)	
输入电容 ³	18.5	18.5	pF(典型值)	$REF_{EN/DIS} = 1$
基准输出电压	2.49/2.51	2.49/2.51	V(最小值/最大值)	
长期稳定性	150	150	ppm(典型值)	1,000小时
基准电压源温度系数	25	25	ppm/°C(最大值)	
	6	6	ppm/°C(典型值)	
逻辑输入				
输入高电压(V_{INH})	$0.7 \times V_{DRIVE}$	$0.7 \times V_{DRIVE}$	V(最小值)	
输入低电压(V_{INL})	$0.3 \times V_{DRIVE}$	$0.3 \times V_{DRIVE}$	V(最大值)	
输入电流(I_{IN})	± 1	± 1	μA (最大值)	典型值 10 nA , $V_{IN} = 0\text{ V}$ 或 V_{DRIVE}
输入电容(C_{IN}) ³	10	10	pF(最大值)	

AD7656/AD7657/AD7658

参数	B版本 ¹	Y版本 ¹	单位	测试条件/注释
逻辑输出				
输出高电压(V_{OH})	$V_{DRIVE} - 0.2$	$V_{DRIVE} - 0.2$	V(最小值)	$I_{SOURCE} = 200\ \mu A$ $I_{SINK} = 200\ \mu A$
输出低电压(V_{OL})	0.2	0.2	V(最大值)	
浮空态泄漏电流	± 1	± 1	μA (最大值)	
悬空态输出电容 ³	10	10	pF(最大值)	
输出编码	二进制补码			
转换速率				
转换时间	3.1	3.1	μs (最大值)	仅并行接口模式
采样保持器采集时间 ^{2,3}	550	550	ns(最大值)	
吞吐速率	250	250	kSPS	
电源要求				
V_{DD}	5/15	5/15	V(标称值最小值/最大值)	对于 $4 \times V_{REF}$ 范围, $V_{DD} = 10\ V$ 至 $16.5\ V$ 对于 $4 \times V_{REF}$ 范围, $V_{DD} = -10\ V$ 至 $-16.5\ V$
V_{SS}	-5/-15	-5/-15	V(标称值最小值/最大值)	
AV_{CC}	5	5	V(标称值)	数字 $I/P_S = 0\ V$ 或 V_{DRIVE} $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\ V$, $V_{DD} = 16.5\ V$, $V_{SS} = -16.5\ V$ $f_{SAMPLE} = 250\ kSPS$, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\ V$, $V_{DD} = 16.5\ V$, $V_{SS} = -16.5\ V$ $V_{SS} = -16.5\ V$, $f_{SAMPLE} = 250\ kSPS$ $V_{DD} = 16.5\ V$, $f_{SAMPLE} = 250\ kSPS$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\ V$, $V_{DD} = 16.5\ V$, $V_{SS} = -16.5\ V$ SCLK开或关, $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\ V$, $V_{DD} = 16.5\ V$, $V_{SS} = -16.5\ V$ $AV_{CC} = DV_{CC} = V_{DRIVE} = 5.25\ V$, $V_{DD} = 16.5\ V$, $V_{SS} = -16.5\ V$ $f_{SAMPLE} = 250\ kSPS$
DV_{CC}	5	5	V(标称值)	
V_{DRIVE}	3/5	3/5	V(标称值最小值/最大值)	
I_{TOTAL}				
正常模式(静态) (包括 IAV_{CC} 、 ID_{DD} 、 IV_{SS} 、 IV_{DRIVE} 、 IDV_{CC})	28	28	mA(最大值)	
正常模式(工作状态) (包括 IAV_{CC} 、 ID_{DD} 、 IV_{SS} 、 IV_{DRIVE} 、 IDV_{CC})	26	26	mA(最大值)	
I_{SS} (工作状态)	0.25	0.25	mA(最大值)	
I_{DD} (工作状态)	0.25	0.25	mA(最大值)	
部分掉电省电模式	7	7	mA(最大值)	
完全掉电省电模式(STBY引脚)	80	80	μA (最大值)	
功耗				
正常模式(静态)	143	143	mW(最大值)	$f_{SAMPLE} = 250\ kSPS$
正常模式(工作状态)	140	140	mW(最大值)	
部分掉电省电模式	35	35	mW(最大值)	
完全掉电省电模式(STBY引脚)	100	100	mW(最大值)	

¹ 温度范围如下: B版本为-40°C至+85°C, Y版本为-40°C至+125°C。

² 参见“术语”部分。

³ 样片在初次发布期间均经过测试, 以确保符合标准要求。

时序规格

除非另有说明, $AV_{CC}/DV_{CC} = 4.75\text{ V至}5.25\text{ V}$, $V_{DD} = 5\text{ V至}16.5\text{ V}$, $V_{SS} = -5\text{ V至}-16.5\text{ V}$, $V_{DRIVE} = 2.7\text{ V至}5.25\text{ V}$, $V_{REF} = 2.5\text{ V}$ 内部/外部基准电压, $T_A = T_{MIN}$ 至 T_{MAX} 。¹

表4.

参数	T _{MIN} , T _{MAX} 的限值		单位	描述
	V _{DRIVE} < 4.75 V	V _{DRIVE} = 4.75 V 至 5.25 V		
并行模式				
t _{CONVERT}	3	3	μs(典型值)	转换时间, 内部时钟
t _{QUIET}	150	150	ns(最小值)	总线释放到下一次转换开始的最短安静时间
t _{ACQ}	550	550	ns(最小值)	采集时间
t ₁₀	25	25	ns(最小值)	最短CONVST低电平脉冲
t ₁	60	60	ns(最大值)	CONVST高电平到BUSY高电平
t _{WAKE-UP}	2	2	ms(最大值)	STBY上升沿到CONVST上升沿
	25	25	μs(最大值)	部分掉电省电模式
并行写入操作				
t ₁₁	15	15	ns(最小值)	WR脉冲宽度
t ₁₂	0	0	ns(最小值)	CS至WR建立时间
t ₁₃	5	5	ns(最小值)	CS至WR保持时间
t ₁₄	5	5	ns(最小值)	WR上升沿前的数据建立时间
t ₁₅	5	5	ns(最小值)	WR上升沿后的数据保持时间
并行读取操作				
t ₂	0	0	ns(最小值)	BUSY至RD延迟时间
t ₃	0	0	ns(最小值)	CS至RD建立时间
t ₄	0	0	ns(最小值)	CS至RD保持时间
t ₅	45	36	ns(最小值)	RD脉冲宽度
t ₆	45	36	ns(最大值)	RD下降沿后的数据访问时间
t ₇	10	10	ns(最小值)	RD上升沿后的数据保持时间
t ₈	12	12	ns(最大值)	RD上升沿后的总线释放时间
t ₉	6	6	ns(最小值)	两次读取之间的最短间隔时间
串行接口				
f _{SCLK}	18	18	MHz(最大值)	串行读取时钟频率
t ₁₆	12	12	ns(最大值)	从CS直到D _{OUTX} 三态禁用的延迟时间
t ₁₇ ²	22	22	ns(最大值)	SCLK上升沿/CS下降沿后的数据访问时间
t ₁₈	0.4 t _{SCLK}	0.4 t _{SCLK}	ns(最小值)	SCLK低电平脉冲宽度
t ₁₉	0.4 t _{SCLK}	0.4 t _{SCLK}	ns(最小值)	SCLK高电平脉冲宽度
t ₂₀	10	10	ns(最小值)	在SCLK下降沿后SCLK到数据有效的保持时间
t ₂₁	18	18	ns(最大值)	CS上升沿到D _{OUTX} 高阻抗状态

¹ 样品在初次发布期间均经过测试, 以确保符合标准要求。所有输入信号均指定t_R = t_F = 5 ns(10%到90%的V_{DD})并从1.6V电平起开始计时。

² 数据输出引脚上利用一个缓冲进行此项测量。

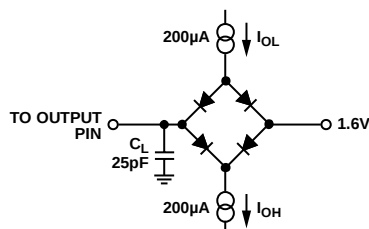


图2. 数字输出时序规格的负载电路

绝对最大额定值

除非另有说明，T_A = 25°C。

表5.

参数	额定值
V _{DD} 至AGND、DGND	−0.3 V 至 +16.5 V
V _{SS} 至AGND、DGND	+0.3 V 至 −16.5 V
V _{DD} 至AV _{CC}	AV _{CC} − 0.3 V 至 16.5 V
AV _{CC} 至AGND、DGND	−0.3 V 至 +7 V
DV _{CC} 至 AV _{CC}	−0.3 V 至 AV _{CC} + 0.3 V
DV _{CC} 至DGND、AGND	−0.3 V 至 +7 V
AGND 至 DGND	−0.3 V 至 +0.3 V
V _{DRIVE} 至 DGND	−0.3 V 至 DV _{CC} + 0.3 V
模拟输入电压至AGND ¹	V _{SS} − 0.3 V 至 V _{DD} + 0.3 V
数字输入电压至DGND	−0.3 V 至 V _{DRIVE} + 0.3 V
数字输出电压至GND	−0.3 V 至 V _{DRIVE} + 0.3 V
REFIN至AGND	−0.3 V 至 AV _{CC} + 0.3 V
输入电流至除电源外的任何引脚 ²	±10 mA
工作温度范围	
B版本	−40°C 至 +85°C
Y版本	−40°C 至 +125°C
存储温度范围	−65°C 至 +150°C
结温	150°C
铅锡焊接温度	
回流焊(10秒至30秒)	240(+0)°C
无铅回流焊温度	260(+0)°C

¹ 如果利用替代V_{DD}和V_{SS}电源电路来驱动模拟输入，则应在模拟输入端串联一个240 Ω电阻。

² 100 mA以下的瞬态电流不会造成SCR闩锁。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件；即器件焊接在电路板上以实现表贴封装。这些技术规格适用于4层电路板。

表6. 热阻

封装类型	θ _{JA}	θ _{JC}	单位
64引脚 LQFP	45	11	°C/W

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

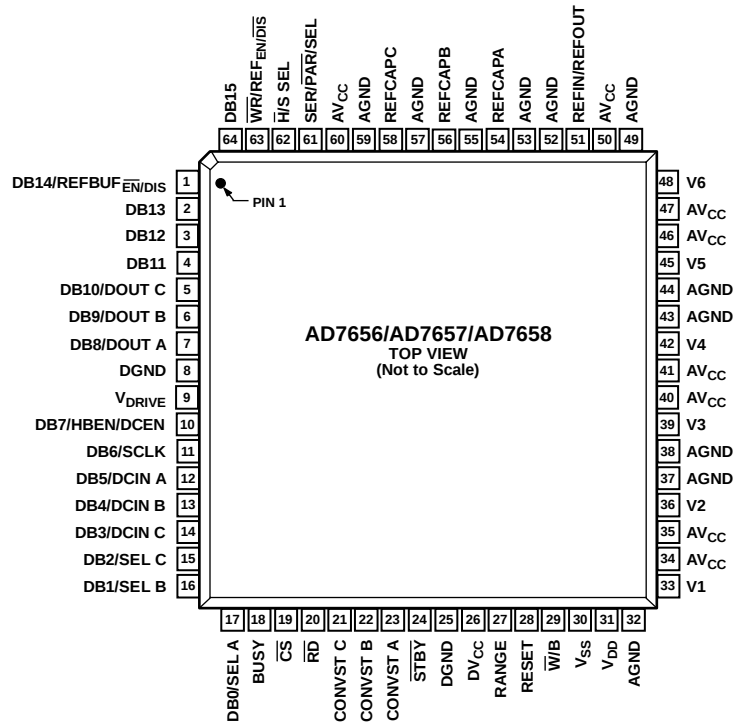


图3. 引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	描述
54, 56, 58	REFCAPA, REFCAPB, REFCAPC	去耦电容连接到这些引脚。这会对每对ADC的基准电压缓冲器进行去耦。每个REFCAP引脚应通过10 μ F和100 nF电容去耦至AGND。
33, 36, 39, 42, 45, 48	V1 至 V6	模拟输入1至6。这些是单端模拟输入。在硬件模式下，这些通道上的模拟输入范围由RANGE引脚决定。在软件模式下，由控制寄存器的Bit RNGC至Bit RNGA决定(参见表10)。
32, 37, 38, 43, 44, 49, 52, 53, 55, 57, 59	AGND	模拟地。AD7656/AD7657/AD7658上所有模拟电路的接地基准点。所有模拟输入信号和任何外部基准信号都应参考此AGND电压。这11个AGND引脚均应连接到系统的AGND平面。AGND和DGND电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
26	DV _{CC}	数字电源4.75 V至5.25 V。DV _{CC} 和AV _{CC} 电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。应将此电源去耦至DGND，并且10 μ F和100 nF去耦电容应接在DV _{CC} 引脚上。
9	V _{DRIVE}	逻辑电源输入。此引脚的电源电压决定逻辑接口的工作电压。此引脚的标称电源与主机接口电源相同。应将此引脚去耦至DGND，并且10 μ F和100 nF去耦电容应接在V _{DRIVE} 引脚上。
8, 25	DGND	数字地。这是AD7656/AD7657/AD7658上所有数字电路的接地基准点。两个DGND引脚均应连接到系统的DGND平面。DGND和AGND电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况时)不得超过0.3 V。
34, 35, 40, 41, 46, 47, 50, 60	AV _{CC}	模拟电源电压，4.75 V至5.25 V。这是ADC内核的电源电压。AV _{CC} 和DV _{CC} 电压在理想情况下应保持等电位，并且电位差(甚至在瞬态电压存在情况下)不得超过0.3 V。应将这些电源引脚去耦至AGND，并且10 μ F和100 nF去耦电容应接在AV _{CC} 引脚上。
23, 22, 21	CONVST A, CONVST B, CONVST C	转换开始输入A、B和C。这些逻辑输入用来启动ADC对转换。CONVST A用来启动V1和V2同步转换。CONVST B用来启动V3和V4同步转换。CONVST C用来启动V5和V6同步转换。当CONVSTx引脚从低电平变为高电平时，所选ADC对的取样保持开关从采样切换到保持，然后便启动转换。利用这些输入端，还可让ADC对进入部分掉电省电模式。

AD7656/AD7657/AD7658

引脚编号	引脚名称	描述
19	$\overline{CS}$	片选。此低电平有效逻辑输入使能数据帧传输。在并行模式下，如果 $\overline{CS}$ 和 $\overline{RD}$ 均处于逻辑低电平，则会使用输出总线，使转换结果输出在并行数据总线上。在并行模式下，如果 $\overline{CS}$ 和 $\overline{WR}$ 均处于逻辑低电平，则利用DB[15:8]将数据写入片上控制寄存器。在串行模式下，利用 $\overline{CS}$ 使能串行数据帧传输，并逐个输出串行输出数据的最高有效位(MSB)。
20	$\overline{RD}$	读取数据。在并行模式下，如果 $\overline{CS}$ 和 $\overline{RD}$ 均处于逻辑低电平，则会使用输出总线。在串行模式下， $\overline{RD}$ 线路应保持低电平。
63	$\overline{WR}/REF_{EN/\overline{DIS}}$	写入数据/使能和禁用基准电压源。当 $\overline{H/S}$ SEL引脚处于高电平，且 $\overline{CS}$ 和 $\overline{WR}$ 处于逻辑低电平时，利用DB[15:8]将数据写入内部控制寄存器。当 $\overline{H/S}$ SEL引脚处于低电平时，此引脚用来使能或禁用内部基准电压源。当 $\overline{H/S}$ SEL = 0且 $REF_{EN/\overline{DIS}} = 0$ 时，禁用内部基准电压源，应将外部基准电压源施加到REFIN/REFOUT引脚。当 $\overline{H/S}$ SEL = 0且 $REF_{EN/\overline{DIS}} = 1$ 时，使能内部基准电压源，且应该对REFIN/REFOUT引脚进行去耦。参见“基准电压源”部分。
18	BUSY	BUSY输出。开始转换时，此引脚变为高电平，并保持高电平直到转换完成，并且转换数据被锁存到输出数据寄存器。当BUSY信号为高电平时，不应在AD7656/AD7657/AD7658上启动新的转换。
51	REFIN/REFOUT	基准电压输入/输出。此引脚提供片上基准电压，供AD7656/AD7657/AD7658外部使用。或者，可禁用内部基准电压源，并将外部基准电压源施加到此输入端。参见“基准电压源”部分。使能内部基准电压源时，应利用至少一个10 μ F去耦电容对此引脚去耦。
61	SER/ $\overline{PAR}$ /SEL	串行/并行选择输入。当此引脚处于低电平时，选择并行接口。当此引脚处于高电平时，选择串行接口模式。在串行模式下，DB[10:8]用作DOUT[C:A]，DB[0:2]用作DOUT选择且DB7用作DCEN。在串行模式下，DB15和DB[13:11]应与DGND相连。
17	DB0/SEL A	数据Bit 0/选择DOUT A。当SER/ $\overline{PAR}$ = 0时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{PAR}$ = 1时，此引脚用作SEL A，并用来配置串行接口。如果此引脚为1，则串行接口使用1/2/3个DOUT输出引脚工作，并使能DOUT A作为串行输出端。在串行模式下，此引脚应始终等于1。
16	DB1/SEL B	数据Bit 1/选择DOUT B。当SER/ $\overline{PAR}$ = 0时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{PAR}$ = 1时，此引脚用作SEL B，并用来配置串行接口。如果此引脚为1，则串行接口使用2/3个DOUT输出引脚工作，并使能DOUT B作为串行输出端。如果此引脚为0，则不使能DOUT B作为串行数据输出端引脚，而仅使用一个DOUT输出引脚DOUT A。不用的串行DOUT引脚应保持不连接。
15	DB2/SEL C	数据Bit 2/选择DOUT C。当SER/ $\overline{PAR}$ = 0时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{PAR}$ = 1时，此引脚用作SEL C，并用来配置串行接口。如果此引脚为1，则串行接口使用3个DOUT输出引脚工作，并使能DOUT C作为串行输出端。如果此引脚为0，则不使能DOUT C作为串行数据输出引脚。不用的串行DOUT引脚应保持不连接。
14	DB3/DCIN C	数据Bit 3/菊花链输入C。当SER/ $\overline{PAR}$ = 0时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{PAR}$ = 1且DCEN = 1时，此引脚充当菊花链输入C。处于串行模式而非DGND菊花链模式下时，应将此引脚连接至DGND。
13	DB4/DCIN B	数据Bit 4/菊花链输入B。当SER/ $\overline{PAR}$ = 0时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{PAR}$ = 1且DCEN = 1时，此引脚充当菊花链输入B。处于串行模式而非DGND菊花链模式下时，应将此引脚连接至DGND。
12	DB5/DCIN A	数据Bit 5/菊花链输入A。当SER/ $\overline{PAR}$ 处于低电平时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{PAR}$ = 1且DCEN = 1时，此引脚充当菊花链输入A。处于串行模式而非DGND菊花链模式下时，应将此引脚连接至DGND。
11	DB6/SCLK	数据Bit 6/串行时钟。当SER/ $\overline{PAR}$ = 0时，此引脚充当三态并行数字输出引脚。当SER/ $\overline{PAR}$ = 1时，此引脚用作SCLK输入，并成为串行传输的读取串行时钟。
10	DB7/HBEN/DCEN	数据Bit 7/高字节启用/菊花链启用。在并行字节模式(SER/ $\overline{PAR}$ = 0且 $\overline{W/B}$ = 0)，此引脚用作数据Bit 7。在并行字节模式(SER/ $\overline{PAR}$ = 0且 $\overline{W/B}$ = 1)，此引脚用作HBEN。在此模式下且HBEN引脚处于逻辑高电平时，则先在DB[15:8]上输出MSB字节数据。当HBEN引脚处于逻辑低电平时，则先在DB[15:8]上输出LSB字节数据。在串行模式(SER/ $\overline{PAR}$ = 1)下，此引脚用作DCEN。当DCEN引脚处于逻辑高电平时，则器件采用菊花链模式工作，同时DB[5:3]用作DCIN[A:C]。处于串行模式而非DGND菊花链模式下时，应将此引脚连接至DGND。

引脚编号	引脚名称	描述
7	DB8/DOUT A	数据Bit 8/串行数据输出A。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 0$ 时，此引脚充当三态并行数字输出引脚。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 1$ 且 $\text{SEL A} = 1$ 时，此引脚用作DOUT A，并输出串行转换数据。
6	DB9/DOUT B	数据Bit 9/串行数据输出B。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 0$ 时，此引脚充当三态并行数字输出引脚。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 1$ 且 $\text{SEL B} = 1$ 时，此引脚用作DOUT B，并输出串行转换数据。在此配置下，串行接口具有两路DOUT输出线。
5	DB10/DOUT C	数据Bit 10/串行数据输出C。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 0$ 时，此引脚充当三态并行数字输出引脚。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 1$ 且 $\text{SEL C} = 1$ 时，此引脚用作DOUT C，并输出串行转换数据。在此配置下，串行接口具有三路DOUT输出线。
4	DB11	数据Bit 11/数字地。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 0$ 时，此引脚充当三态并行数字输出引脚。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 1$ 时，此引脚应与DGND相连。
3, 2, 64	DB12, DB13, DB15	数据Bit 12、数据Bit 13、数据Bit 15。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 0$ 时，这些引脚充当三态并行数字输入/输出引脚。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 处于低电平状态时，这些引脚用来输出转换结果。当 $\overline{\text{CS}}$ 和 $\overline{\text{WR}}$ 处于低电平时，这些引脚用来写入控制寄存器。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 1$ 时，这些引脚应与DGND相连。对于AD7657，DB15内含前置0。对于AD7658，DB15、DB13和DB12内含前置0。
1	DB14/REFBUF $\overline{\text{EN/}\overline{\text{DIS}}}$	数据Bit 14/REFBUF使能/禁用。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 0$ 时，此引脚充当三态数字输入/输出引脚。对于AD7657/AD7658，DB14内含前置0。当 $\overline{\text{SER/}\overline{\text{PAR}}} = 1$ 时，此引脚可用来使能或禁用内部基准电压缓冲器。
28	RESET	复位输入。当设为逻辑高电平时，此引脚可复位AD7656/AD7657/AD7658。当前转换(如有)中止。内部寄存器设为全0。在硬件模式下，根据硬件选择引脚上的逻辑电平来配置AD7656/AD7657/AD7658。在两种模式下，器件应该在上电后收到一个RESET高脉冲。复位高电平脉冲宽度典型值为100 ns。在RESET脉冲之后，AD7656/AD7657/AD7658需由有效的CONVST脉冲启动转换；CONVST脉冲应包括一个高至低的CONVST下降沿，随后是一个低至高的CONVST上升沿。CONVST信号应在RESET脉冲期间保持高电平。
27	RANGE	模拟输入范围选择。逻辑输入。此引脚的逻辑电平决定模拟输入通道的输入范围。当此引脚在BUSY下降沿为逻辑1时，下一次转换的范围为 $\pm 2 \times V_{\text{REF}}$ 。当此引脚在BUSY下降沿为逻辑0时，下一次转换的范围为 $\pm 4 \times V_{\text{REF}}$ 。在硬件选择模式下，在BUSY下降沿检查RANGE引脚。在软件模式(H/S SEL = 1)下，可将RANGE引脚和DGND相连，然后由控制寄存器内的RNGA、RNGB和RNGC bits决定输入范围。
31	V _{DD}	正电源电压。这是模拟输入部分的正电源电压，并且10 μF 和100 nF去耦电容应接在V _{DD} 引脚上。
30	V _{SS}	负电源电压。这是模拟输入部分的负电源电压，并且10 μF 和100 nF去耦电容应接在V _{SS} 引脚上。
24	$\overline{\text{STBY}}$	待机模式输入。此引脚用来让全部六个片上ADC进入待机模式。 $\overline{\text{STBY}}$ 引脚处于高电平时表示正常操作，处于低电平时表示待机操作。
62	$\overline{\text{H/S SEL}}$	硬件/软件选择输入。逻辑输入。当 $\overline{\text{H/S SEL}} = 0$ 时，AD7656/AD7657/AD7658在硬件选择模式下工作，并通过CONVST引脚来选择需同步采样的ADC对。当 $\overline{\text{H/S SEL}} = 1$ 时，通过写入控制寄存器操作来选择需同步采样的ADC对。在串行模式下，CONVST A用来启动对所选ADC对的转换。
29	$\overline{\text{W/B}}$	字/字节输入。当此引脚处于逻辑低电平时，可利用并行数据线DB[15:0]来传输AD7656/AD7657/AD7658的输入输出数据。当此引脚处于逻辑高电平时，使能字节模式。在此模式下，利用数据线DB[15:8]来传输数据，DB[7]用作HBEN。要获得16-bit转换结果，需进行双字节读取。在串行模式下，此引脚应与DGND相连。

典型性能参数

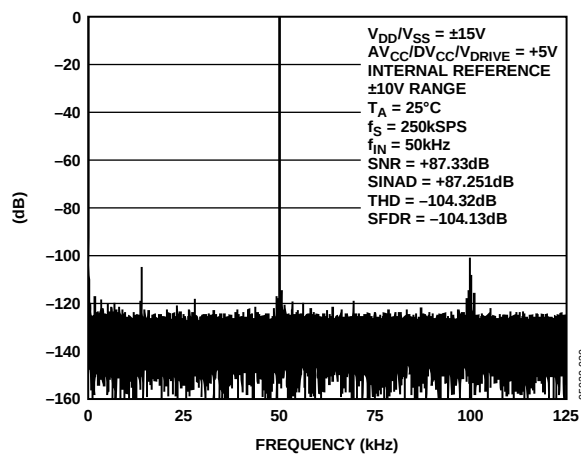


图4. AD7656 FFT, $\pm 10V$ 范围

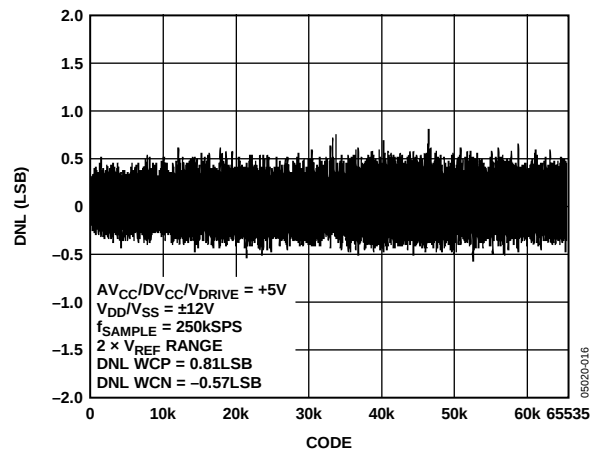


图7. AD7656典型DNL

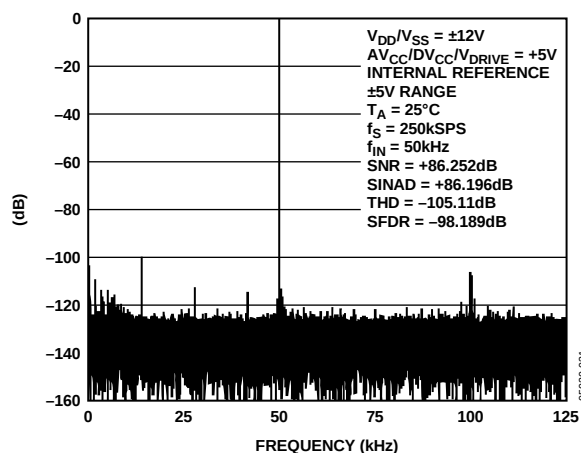


图5. AD7656 FFT, $\pm 5V$ 范围

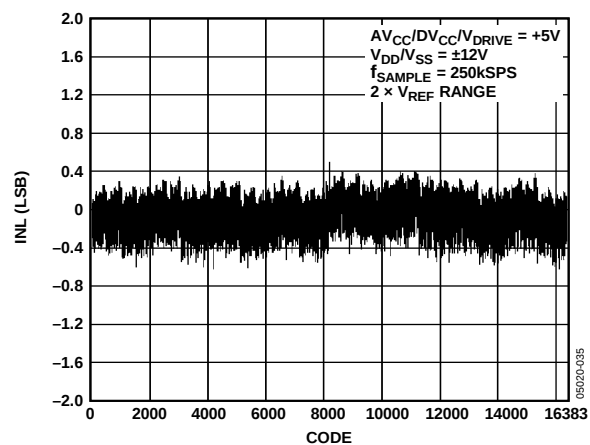


图8. AD7657典型INL

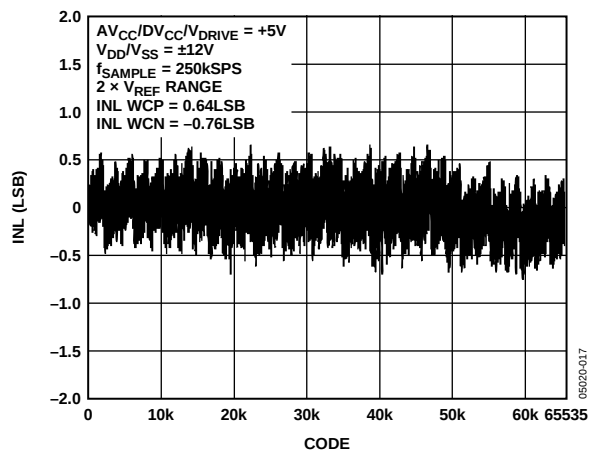


图6. AD7656典型INL

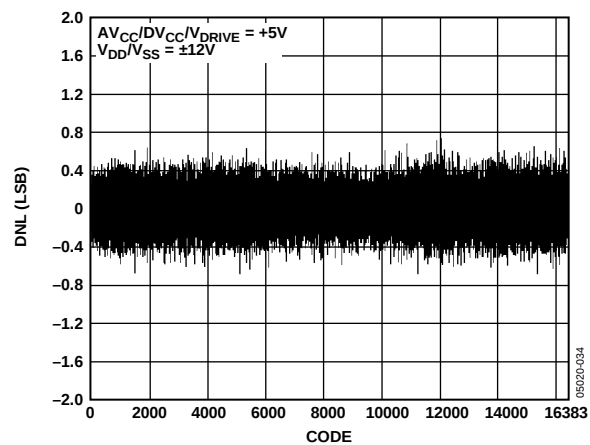


图9. AD7657典型DNL

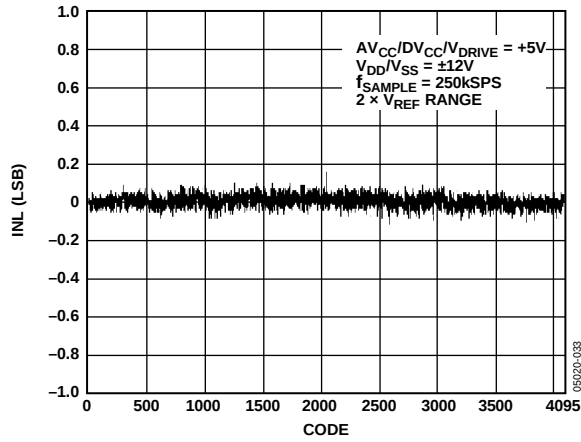


图10. AD7658典型INL

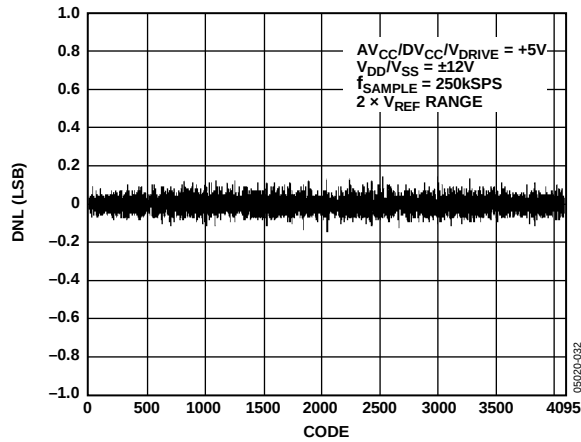


图11. AD7658典型DNL

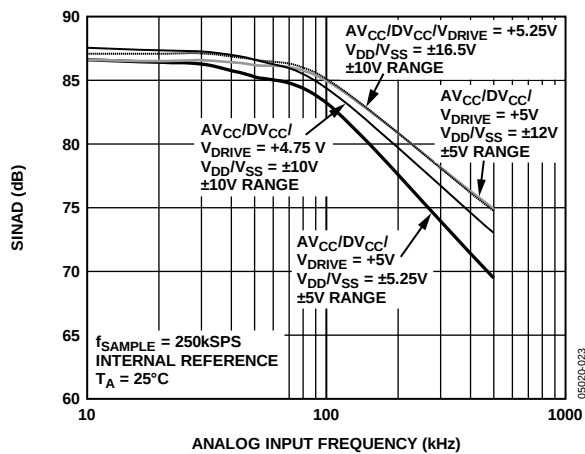


图12. AD7656 SINAD与输入频率的关系

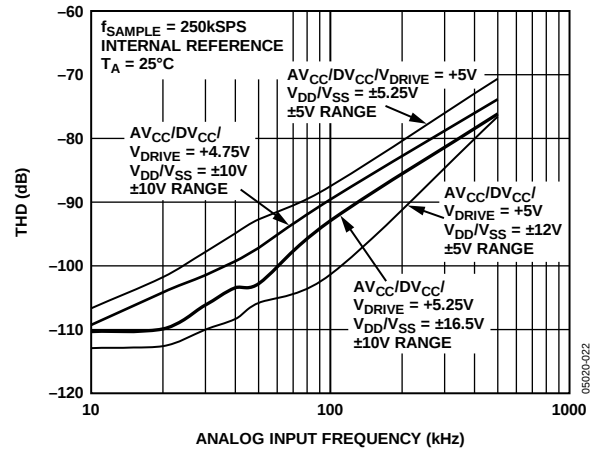


图13. AD7656 THD与输入频率的关系

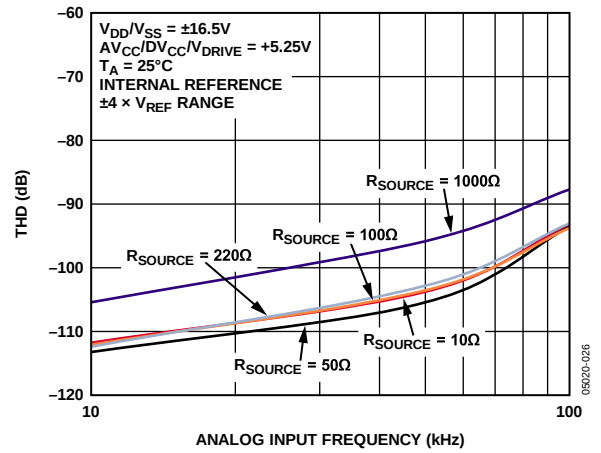


图14. 在各种源阻抗下及 $\pm 4 \times V_{REF}$ 范围内, AD7656 THD与输入频率的关系

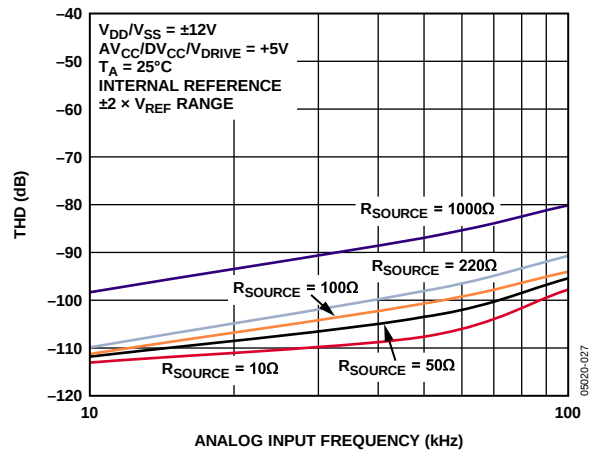


图15. 在各种源阻抗下及 $\pm 2 \times V_{REF}$ 范围内, AD7656 THD与输入频率的关系

AD7656/AD7657/AD7658

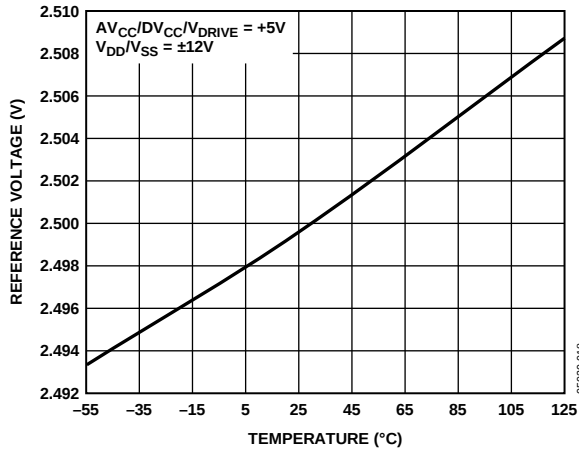


图16. 基准电压与温度的关系

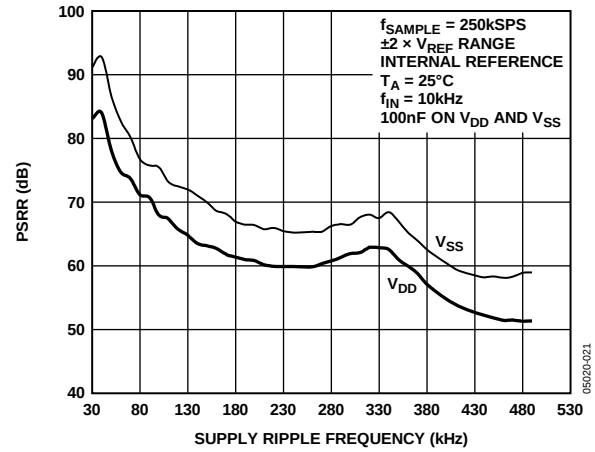


图19. PSRR与电源纹波频率的关系

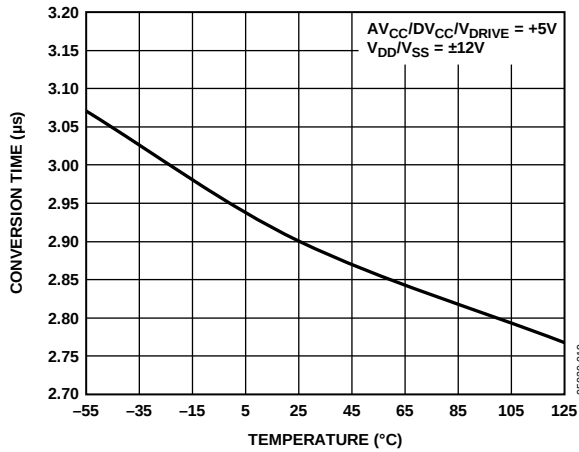


图17. 转换时间与温度的关系

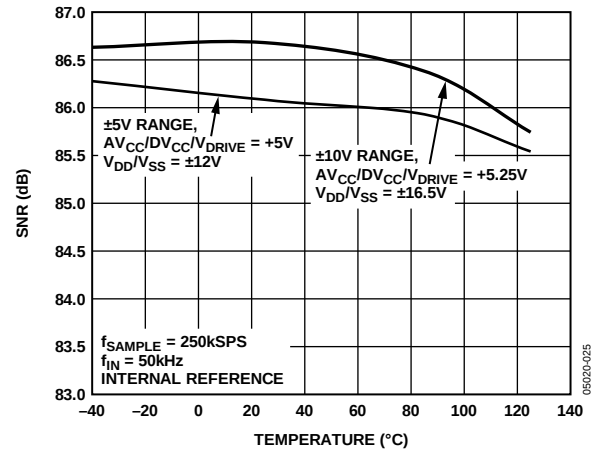


图20. AD7656 SNR与温度的关系

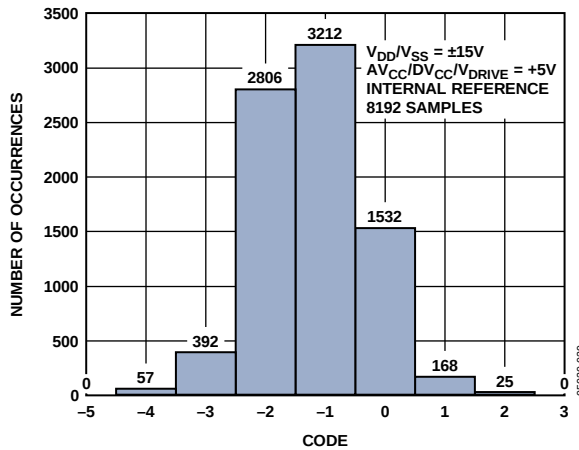


图18. AD7656码直方图

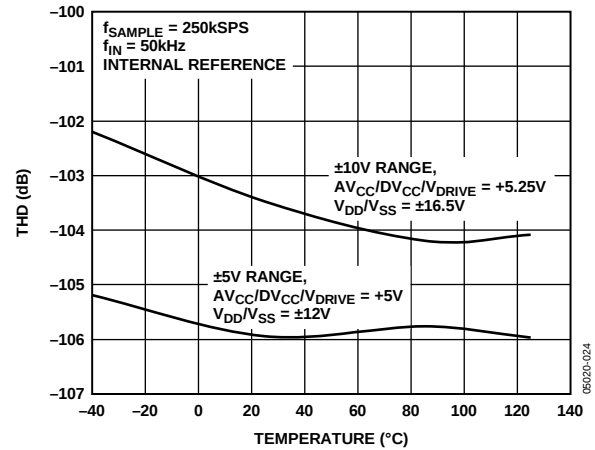


图21. AD7656 THD与温度的关系

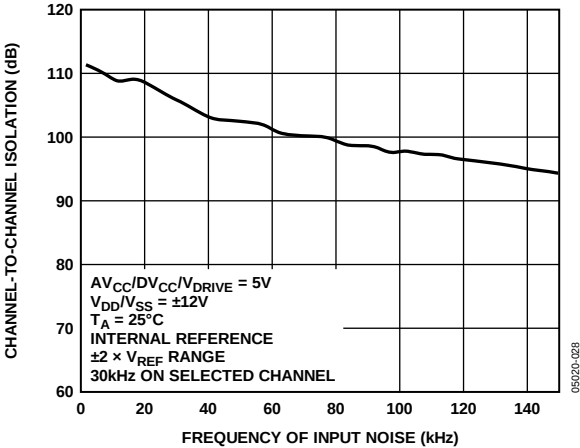


图22. 通道间隔离

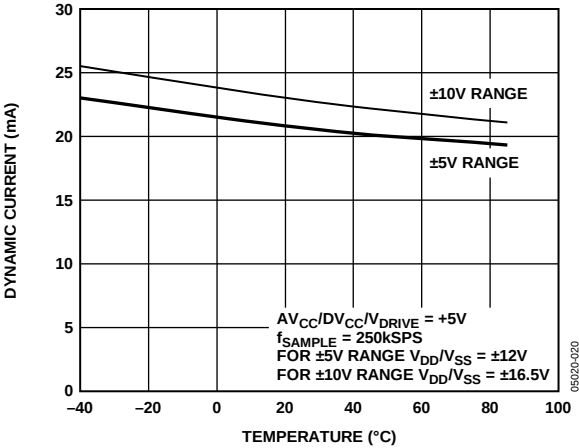


图23. 动态电流与温度的关系

术语

积分非线性

ADC传递函数与一条通过ADC传递函数端点的直线的最大偏差。传递函数的两个端点，起点在低于第一个码转换的 $\frac{1}{2}$ LSB处的零电平，终点在高于最后一个码转换的 $\frac{1}{2}$ LSB处的满量程。

微分非线性

ADC中任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。

双极性零代码误差

中间电平转换(全1到全0)与理想 V_{IN} 电压，即AGND - 1 LSB的偏差。

双极性零代码误差匹配

任何两个输入通道之间双极性零电平误差的差异。

正满量程误差

校正双极性零代码误差之后，最后一个码转换(011...110至011...111)与理想值($+4 \times V_{REF} - 1$ LSB, $+2 \times V_{REF} - 1$ LSB)的偏差。

正满量程误差匹配

任何两个输入通道之间正满量程误差的差异。

负满量程误差

校正双极性零代码误差之后，第一个码转换(10...000至10...001)于理想值($-4 \times V_{REF} + 1$ LSB, $-2 \times V_{REF} + 1$ LSB)的偏差。

负满量程误差匹配

任何两个输入通道之间负满量程误差的差异。

采样保持器采集时间

采样保持放大器在转换结束后恢复跟踪模式。采样保持器采集时间是转换结束后，采样保持放大器输出达到最终值(在 ± 1 LSB内)所需的时间。更多详情参见“采样保持部分”。

信噪比(SNR)

SNR指输出信号测量结果的均方根值与奈奎斯特频率以下除谐波和直流外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

信纳比(SINAD)

在ADC输出端测得的信号对噪声及失真比。这里的信号是基波幅值的均方根值。噪声为所有达到采样频率一半($f_s/2$ ，直流信号除外)的非基波信号之和。

在数字化过程中，这个比值的大小取决于量化级数，量化级数越多，量化噪声就越小。对于一个正弦波输入的理想N-bit转换器，信纳比值理论值计算公式为：

$$\text{信纳比} = (6.02 N + 1.76) \text{ dB}$$

因此，16-bit转换器的SINAD理论值为98dB，14-bit转换器为86.04 dB，12-bit转换器为74dB。

总谐波失真(THD)

所有谐波均方根和与基波均方根之比。对于AD7656/AD7657/AD7658，其定义为

$$\text{THD(dB)} = 20 \log \frac{\sqrt{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}}{V_1}$$

其中：

V_1 是基波幅度的均方根值。

V_2 、 V_3 、 V_4 、 V_5 及 V_6 是二次到六次谐波幅度的均方根值。

峰值谐波或杂散噪声(SFDR)

在ADC输出频谱(最高达 $f_s/2$ ，直流信号除外)中，下一个最大分量的均方根值与基波均方根值的比。通常情况下，此参数值由频谱内的最大谐波决定，但对于谐波淹没于噪底内的ADC，则由噪声峰值决定。

交调失真(IMD)

当输入由两个频率分别为 f_a 和 f_b 的正弦波组成时，任何非线性有源器件都会以和与差频 $m f_a \pm n f_b$ (其中 $m, n = 0, 1, 2, 3$)的形式产生失真产物。交调失真项的 m 和 n 都不等于0。例如，二阶项包括 $(f_a + f_b)$ 和 $(f_a - f_b)$ ，而三阶项包括 $(2f_a + f_b)$ 、 $(2f_a - f_b)$ 、 $(f_a + 2f_b)$ 和 $(f_a - 2f_b)$ 。

AD7656/AD7657/AD7658经过CCIF标准测试，此标准使用最大输入带宽附近的两个输入频率。在此情况下，二阶项频率通常远离最初正弦波，而三阶项频率通常靠近输入频率。因此，二阶和三阶项需分别指定。交调失真根据THD参数来计算，它是个别失真积的均方根和与基波和的幅值均方根的比值，用分贝(dB)表示。

电源抑制(PSR)

电源变化会影响转换器的满量程转换，但不会影响其线性。电源抑制是由于电源电压偏离标称值所引起的最大满量程转换点变化。参见“典型性能参数”部分。

图19显示AD7656/AD7657/AD7658的电源抑制比与电源纹波频率的关系。电源抑制比定义为满量程频率 f 下ADC输出功率与频率 f_s 下施加于ADC V_{DD} 和 V_{SS} 电源的200 mV p-p正弦波功率的比值：

$$PSRR \text{ (dB)} = 10 \log (Pf/Pf_s)$$

其中：

Pf 是在频率 f 下ADC的输出功率。

Pf_s 是在频率 f_s 下耦合到 V_{DD} 和 V_{SS} 电源的功率。

通道间隔离

通道间隔离衡量任意两个通道之间的串扰水平。通过向所有未选定的输入通道施加一个满量程、100 kHz正弦波信号，并决定该信号在选定通道内随30 kHz信号的衰减程度来测量。

%FSR

%FSR采用ADC的完整理论范围而计算得出。

工作原理

转换器详解

AD7656/AD7657/AD7658均为高速、低功耗转换器，允许对六个片上ADC进行同步采样，其模拟输入可以接受真双极性输入信号。可通过RANGE引脚或RNG bits，选择 $\pm 4 \times V_{REF}$ 或 $\pm 2 \times V_{REF}$ 作为下一次转换的输入范围。

每个AD7656/AD7657/AD7658均内置六个SAR ADC、六个采样保持放大器、一个2.5V片上基准电压源、基准电压缓冲器和高速串行并行接口。三个CONVST信号全部连在一起时，还允许对所有六个ADC进行同步采样。或者，六个ADC可分成三对。每对都有一个相关的CONVST信号，用来对每对、四个或全部六个ADC启动同步采样。CONVST A用来对V1和V2启动同步采样，CONVST B用来对V3和V4启动同步采样，而CONVST C用来对V5和V6启动同步采样。

通过脉冲激活CONVST输入，可启动AD7656/AD7657/AD7658的转换。在CONVST x上升沿时，所选ADC对的采样保持器进入保持模式，并开始转换。达到CONVST x上升沿后，BUSY信号变为高电平，表示正在进行转换。AD7656/AD7657/AD7658的转换时钟由内部产生，这些器件的转换时间均为3 μ s。BUSY信号恢复低电平表示转换结束。在BUSY下降沿时，采样保持器返回跟踪模式。数据可通过并行或串行接口从输出寄存器读取。

采样保持部分

AD7656/AD7657/AD7658的采样保持放大器可以将满量程幅度的输入正弦波分别精确地转换成16/14/12-bit分辨率。即使AD7656/AD7657/AD7658以最大吞吐速率工作，采样保持放大器的输入带宽也大于ADC的奈奎斯特频率。这些器件可支持高达12 MHz的输入频率。

采样保持放大器在CONVSTx上升沿时对其各自输入进行同步采样。采样保持器的孔径时间(即外部CONVSTx信号从采样到实际进入保持模式的延迟时间)为10 ns。无论是单个器件还是器件之间，所有六个采样保持器的孔径时间都完全匹配。因此允许对六个以上ADC进行同步采样。BUSY下降沿表示转换结束，此时采样保持器返回跟踪模式，采集时间开始计时。

模拟输入部分

AD7656/AD7657/AD7658可处理真双极性输入电压。RANGE引脚的逻辑电平或控制寄存器RNGx bit的写入值决定下一次转换的模拟输入范围。当RANGE引脚或RNGx bit为1时，下一次转换的模拟输入范围为 $\pm 2 \times V_{REF}$ 。当RANGE引脚或RNGx bit为0时，下一次转换的模拟输入范围为 $\pm 4 \times V_{REF}$ 。

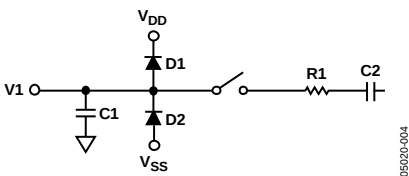


图24. 等效模拟输入结构

图24显示AD7656/AD7657/AD7658模拟输入结构的等效电路。二极管D1和D2提供模拟输入的ESD保护。切记，模拟输入信号决不能超过 V_{DD} 和 V_{SS} 供电轨300 mV以上，否则会造成这些二极管正偏，并开始向基板内传导电流。这些二极管可以传导但不会对器件造成彻底损坏的最大电流为10mA。图24中的电容C1通常约为4 pF，并且主要在引脚电容上。电阻R1是一个集总元件，由开关(即采样保持开关)的导通电阻组成，此电阻典型值约为25 Ω 。电容C2是ADC采样电容，一般为10 pF。

AD7656/AD7657/AD7658的高压模拟输入结构需要 V_{DD} 和 V_{SS} 双电源。这些电源必须等于或大于模拟输入范围(各模拟输入范围的电源要求见表8)。AD7656/AD7657/AD7658需要一个4.75 V至5.25 V的低压 AV_{CC} 电源给ADC核心供电，一个4.75 V至5.25 V的 DV_{CC} 电源作为数字电源以及一个2.7 V至5.25 V的 V_{DRIVE} 电源作为接口电源。

在选定模拟输入范围使用最小电源电压时，为了满足指定性能要求，可能必须降低最大吞吐率。

表8. 最低 V_{DD}/V_{SS} 电源电压要求

模拟输入范围(V)	基准电压(V)	满量程输入(V)	最小 V_{DD}/V_{SS} (V)
$\pm 4 \times V_{REF}$	+2.5	± 10	± 10
$\pm 4 \times V_{REF}$	+3.0	± 12	± 12
$\pm 2 \times V_{REF}$	+2.5	± 5	± 5
$\pm 2 \times V_{REF}$	+3.0	± 6	± 6

ADC传递函数

AD7656/AD7657/AD7658的输出编码方式为二进制补码。所设计的码转换在连续LSB整数值的中间(即1/2 LSB、3/2 LSB)进行。AD7656的LSB大小为FSR/65536, AD7657为FSR/16384, 而AD7658为FSR/4096。理想的传递特性如图25所示。

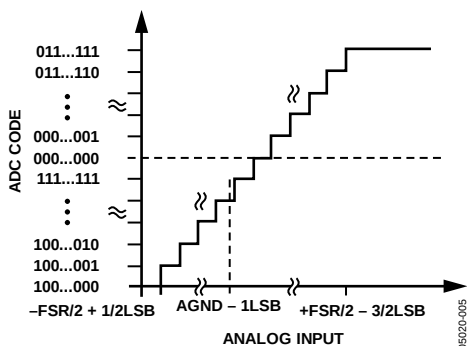


图25. AD7656/AD7657/AD7658传递特性

LSB大小取决于所选的模拟输入范围(见表9)。

基准电压源部分

REFIN/REFOUT引脚既可以使用AD7656/AD7657/AD7658的2.5 V基准电压源, 也允许连接外部基准电压源, 以便提供各器件执行转换操作所需的基准电压源。AD7656/AD7657/AD7658可以接受2.5 V至3 V范围内的外部基准电压源。使用外部基准电压源时, 需要禁用内部基准电压源。复位后, 这些器件默认在外部基准电压源模式下工作, 并使能基准电压缓冲器。内部基准电压源既可在硬件模式下使能, 也可在软件模式下使能。要在硬件模式下使能内部基准电压源, 则应设置 $\overline{\text{H}}/\text{S SEL}$ 引脚 = 0且 $\text{REF}_{\text{EN/DIS}}$ 引脚 = 1。要在软件模式下使能内部基准电压源, 则应设置 $\overline{\text{H}}/\text{S SEL}$ = 1并需要写入控制寄存器, 以将该寄存器的DB9置于1。对于内部基准电压源模式, REFIN/REFOUT引脚应通过10 μF 和100 nF电容进行去耦。

AD7656/AD7657/AD7658均内置三个片内基准电压缓冲器。三对ADC各对应一个基准电压缓冲器。这些基准电压缓冲器要求在REFCAPA、REFCAPB和REFCAPC引脚上使用外部去耦电容, 并且应在这些REFCAP引脚上连接10 μF 和100 nF去耦电容。

表9. 各模拟输入范围的LSB大小

范围	AD7656		AD7657		AD7658	
输入范围	$\pm 10\text{ V}$	$\pm 5\text{ V}$	$\pm 10\text{ V}$	$\pm 5\text{ V}$	$\pm 10\text{ V}$	$\pm 5\text{ V}$
LSB大小	0.305 mV	0.152 mV	1.22 mV	0.610 mV	4.88 mV	2.44 mV
FSR范围	20 V/65536	10 V/65536	20 V/16384	10 V/16384	20 V/4096	10 V/4096

内部基准电压缓冲器可在软件模式下禁用, 通过向内部控制寄存器写入Bit DB8来实现。在串行模式下工作时, 可在硬件模式下将DB14/REFBUF $_{\text{EN/DIS}}$ 引脚设为高电平来禁用内部基准电压缓冲器。如果内部基准电压源及其缓冲器均禁用, 可向REFCAP引脚施加外部缓冲基准电压源。

典型连接图

图26显示了AD7656/AD7657/AD7658的典型连接图。这些器件均具有八个 AV_{CC} 电源引脚。 AV_{CC} 电源用于AD7656/AD7657/AD7658转换过程; 因此, 应进行良好去耦。每个 AV_{CC} 电源引脚各自均应通过一个10 μF 钽电容和一个100 nF陶瓷电容进行去耦。AD7656/AD7657/AD7658既可采用内部基准电压源工作, 也可采用外部施加的基准电压源工作。在此配置中, 器件被配置为在外部基准电压源下工作。REFIN/REFOUT引脚通过一个10 μF 和100 nF电容对进行去耦。三个内部基准电压缓冲器均已使能。REFCAP引脚各自通过10 μF 和100 nF电容对进行去耦。

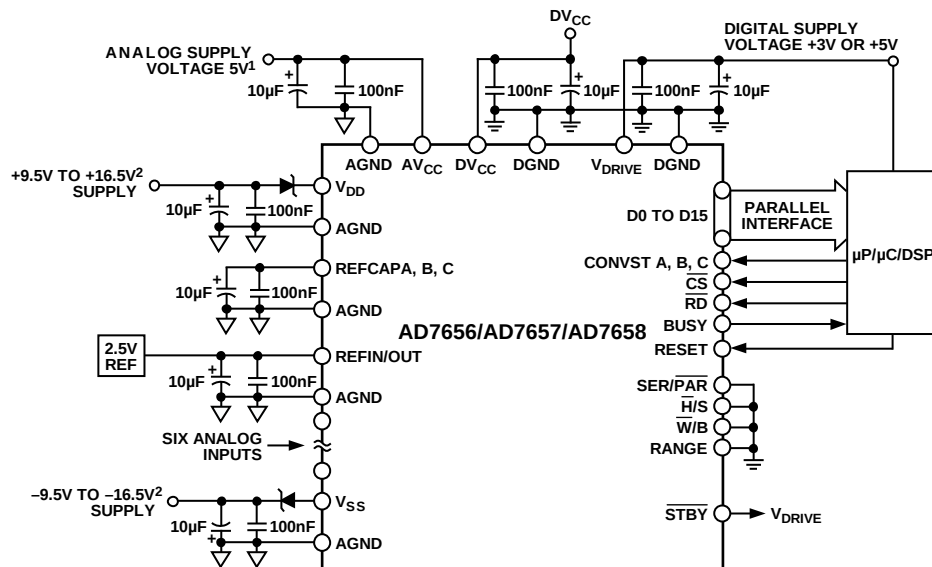
其中六个 AV_{CC} 电源引脚用于给AD7656/AD7657/AD7658上的六个ADC内核供电, 也就是用于转换过程。每个模拟输入引脚周围都有一个 AV_{CC} 电源引脚和一个AGND引脚。这些 AV_{CC} 和AGND引脚是各个ADC内核的电源和地。例如, 引脚33为V1, 引脚34是ADC内核1的 AV_{CC} 电源, 引脚32则是ADC内核1的AGND。替代降低去耦要求的解决方案是将这六个 AV_{CC} 电源引脚合并为三对, 即引脚34和引脚35、引脚40和引脚41, 以及引脚46和引脚47。

对于AD7656, 可在每个引脚对上连接一个100 μF 去耦电容。所有其它电源引脚和基准引脚均应通过10 μF 去耦电容进行去耦。当AD7657采用这种降低去耦要求的配置时, 三个 AV_{CC} 引脚对各自均应通过一个33 μF 电容进行去耦。当AD7658采用相同配置时, 三个 AV_{CC} 引脚对则各自均应通过一个22 μF 电容进行去耦。

如果 AV_{CC} 和 DV_{CC} 采用相同的电源, 则应在电源引脚之间放置一个氧化铁磁珠或小型RC滤波器。

AGND引脚连到系统AGND平面。DGND引脚连到系统内部的数字接地平面。AGND和DGND平面应在系统内某处相连。此连接应尽可能靠近系统内的AD7656/AD7657/AD7658。

AD7656/AD7657/AD7658



¹DECOUPLING SHOWN ON THE AV_{CC} PIN APPLIES TO EACH AV_{CC} PIN.
²SEE POWER SUPPLY CONFIGURATION SECTION.

图26. 典型连接图

V_{DRIVE} 电源连接到为处理器供电的同一电源。 V_{DRIVE} 的电压控制输出逻辑信号的电压值。

V_{DD} 和 V_{SS} 信号应通过一个至少 10 μF 的去耦电容进行去耦。这些电源用于 AD7656/AD7657/AD7658 模拟输入端的高压模拟输入结构。

驱动模拟输入

AD7656 的驱动器放大器和模拟输入电路必须在指定的 550 ns 采集时间内，将满量程步进输入建立至 16-bit 水平 (0.0015%)。驱动器放大器所产生的噪声需尽可能低，以保持 AD7656 的 SNR 和转换噪声性能。

驱动器的 THD 性能还必须适合 AD7656。AD8021 能够满足所有这些要求。AD8021 需要一个 10 pF 的外部补偿电容。如果需要双通道版的 AD8021，可使用 AD8022。AD8610 和 AD797 也可用来驱动 AD7656/AD7657/AD7658。

接口部分

AD7656/AD7657/AD7658 提供两种接口选项：并行接口和高速串行接口。所需接口模式可通过 SER/PAR 引脚来选择。并行接口模式可采用字 ($\overline{W/B} = 0$) 或字节 ($\overline{W/B} = 1$) 工作模式。接口模式将在之后章节中加以介绍。

并行接口 ($\overline{SER/PAR} = 0$)

AD7656/AD7657/AD7658 分别包括六个 16/14/12-bit ADC。将所有三个 CONVST 引脚 (CONVST A、CONVST B 和 CONVST C) 连在一起，便可对六个 ADC 进行同步采样。AD7656/AD7657/AD7658 需由 CONVST 脉冲启动转换；CONVST 脉冲应包括一个 CONVST 下降沿，随后为一个 CONVST 上升沿。CONVSTx 上升沿对所选的 ADC 启动同步转换。AD7656/AD7657/AD7658 均内置一个片内振荡器用于转换。转换时间 t_{CONV} 为 3 μs 。BUSY 信号变为低电平表示转换结束。BUSY 信号下降沿用来让采样保持器进入跟踪模式。分别向三个 CONVST 引脚发出脉冲信号，AD7656/AD7657/AD7658 还可以实现六个 ADC 的成对同步转换。CONVST A、CONVST B、CONVST C 分别用于对 V1 和 V2、V3 和 V4、V5 和 V6 启动同步转换。同步采样 ADC 的转换结果储存在输出数据寄存器内。

可利用标准 $\overline{CS}$ 和 $\overline{RD}$ 信号 ($\overline{W/B} = 0$)，通过并行数据总线读取 AD7656/AD7657/AD7658 的数据。要通过并行总线读取数据，则应将 SER/PAR 接低电平。通过内部选通 $\overline{CS}$ 和 $\overline{RD}$ 输入信号，可以将转换结果输出到数据总线。当 $\overline{CS}$ 和 $\overline{RD}$ 同时处于逻辑低电平时，数据线 DB0 至 DB15 不再呈高阻抗状态。

$\overline{\text{CS}}$ 信号可永久性地接低电平，而 $\overline{\text{RD}}$ 信号可用来获取转换结果。BUSY信号变为低电平后即可开始读取操作。所需读取操作次数取决于同步采样的ADC数目(见图27)。如果CONVST A和CONVST B同时变低，需要四次读取操作从V1、V2、V3及V4获得转换结果。如果CONVST A和CONVST C同时变低，需要四次读取操作从V1、V2、V5及V6获得转换结果。转换结果以升序输出。对于AD7657，DB15和DB14含有两个前置0，而DB[13:0]则输出14-bit转换结果。对于AD7658，DB[15:12]含有四个前置0，而DB[11:0]则输出12-bit转换结果。

使用三个CONVST信号独立地启动三对ADC转换时，应注意确保BUSY信号处于高电平时未在通道对上启动转换。此外，建议不要在读取序列期间启动转换，因为那样会影响

响转换性能。要获得指定性能，建议在转换后进行读取。对于未使用的输入通道对，应将相应CONVSTx引脚与 V_{DRIVE} 相连。

如果只能使用8-bit总线，则可将AD7656/AD7657/AD7658接口配置成字节工作模式($\overline{\text{W}}/\text{B}=1$)。在此配置下，DB7/HBEN/DCEN引脚具有HBEN功能。AD7656/AD7657/AD7658的各通道转换结果可通过两次读取操作来获取，每次读取操作在DB15至DB8上获得8 bit数据(见图28)。HBEN引脚决定读取操作先获取16 bit转换结果的高字节还是低字节。要始终先获取DB15至DB8上的低字节，应将HBEN引脚接低电平。要始终先获取DB15至DB8上的高字节，应将HBEN引脚接高电平。在字节模式下，当所有三个CONVST引脚一起发出脉冲来启动所有六个ADC的同步转换时，需进行12次读取操作来读取六个16/14/12 bit转换结果。在字节模式下，DB[6:0]应保持不连接。

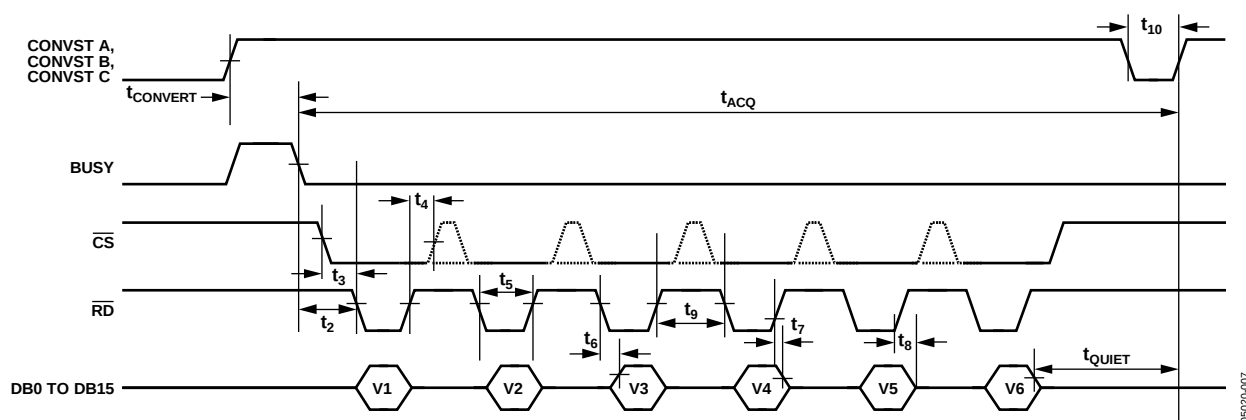


图27. 并行接口时序图($\overline{\text{W}}/\text{B}=0$)

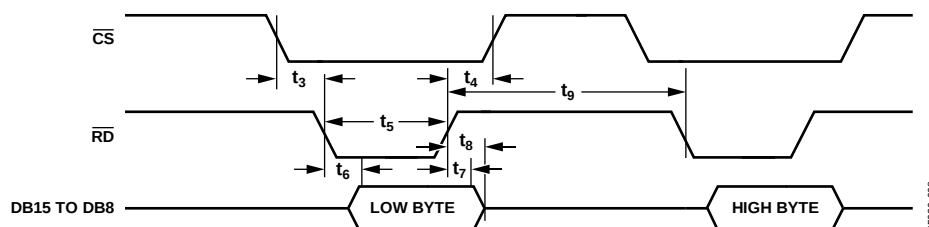


图28. 并行接口—字节工作模式的读取周期($\overline{\text{W}}/\text{B}=1$, $\text{HBEN}=0$)

ADC软件选择

$\overline{\text{H}}/\text{S SEL}$ 引脚决定需同步采样的ADC组合方式。当 $\overline{\text{H}}/\text{S SEL}$ 引脚处于逻辑低电平时，需同步采样的通道组合由 CONVST A、CONVST B和CONVST C引脚决定。当 $\overline{\text{H}}/\text{S SEL}$ 引脚处于逻辑高电平时，需同步采样的通道组合由控制寄存器DB15至控制寄存器DB13的内容决定。在此模式下，必须进行控制寄存器写入操作。

控制寄存器是8 bit只写寄存器。此寄存器的数据写入通过 $\overline{\text{CS}}$ 和 $\overline{\text{WR}}$ 引脚和DB[15:8]数据引脚来完成(见图29)。控制寄存器如表10所示。要选择需同步采样的ADC对，应在写入操作期间将对应的数据线设为高电平。

AD7656/AD7657/AD7658控制寄存器允许利用DB12至DB10，对每对ADC的范围进行独立地编程。

在复 bit后，控制寄存器全部清0。

CONVST A信号用来对通过控制寄存器选择的通道组合启动同步转换。在软件工作模式下($\overline{\text{H}}/\text{S SEL} = 1$)，CONVST B和CONVST C信号可接低电平。所需读取脉冲数取决于控制寄存器中设置的ADC数目，以及器件采用字还是字节工作模式。转换结果以升序输出。

在写入操作期间，当 $\overline{\text{RD}}$ 处于逻辑高电平且 $\overline{\text{CS}}$ 和 $\overline{\text{WR}}$ 处于逻辑低电平时，数据总线Bit DB15至Bit DB8为双向，成为控制寄存器输入。当 $\overline{\text{WR}}$ 变为逻辑高电平时，DB15至DB8的逻辑状态锁存到控制寄存器内。

表10. 控制寄存器Bit功能描述(默认全0)

DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8
VC	VB	VA	RNGC	RNGB	RNGA	REFEN	REFBUF

表11.

Bit	引脚名称	备注
DB15	VC	此bit用来选择下一次转换的模拟输入V5和V6。当其设为1时，则在下一个CONVST A上升沿对V5和V6进行同步转换。
DB14	VB	此bit用来选择下一次转换的模拟输入V3和V4。当其设为1时，则在下一个CONVST A上升沿对V3和V4进行同步转换。
DB13	VA	此bit用来选择下一次转换的模拟输入V1和V2。当其设为1时，则在下一个CONVST A上升沿对V1和V2进行同步转换。
DB12	RNGC	此bit用来选择模拟输入V5和V6的模拟输入范围。当其设为1时，则为下一次转换选择 $\pm 2 \times V_{\text{REF}}$ 范围。当其设为0时，则为下一次转换选择 $\pm 4 \times V_{\text{REF}}$ 范围。
DB11	RNGB	此bit用来选择模拟输入V3和V4的模拟输入范围。当其设为1时，则为下一次转换选择 $\pm 2 \times V_{\text{REF}}$ 范围。当其设为0时，则为下一次转换选择 $\pm 4 \times V_{\text{REF}}$ 范围。
DB10	RNGA	此bit用来选择模拟输入V1和V2的模拟输入范围。当其设为1时，则为下一次转换选择 $\pm 2 \times V_{\text{REF}}$ 范围。当其设为0时，则为下一次转换选择 $\pm 4 \times V_{\text{REF}}$ 范围。
DB9	REFEN	此bit用来选择内部基准电压源或外部基准电压源。当其设为0时，则选择外部基准电压源模式。当其设为1时，则选择内部基准电压源。
DB8	REFBUF	此bit用来决定是使用内部基准电压缓冲器，还是绕过这些缓冲器。当其设为0时，使能内部基准电压缓冲器，同时需要对REFCAP引脚去耦。当其设为1时，禁用内部基准电压缓冲器，同时应将缓冲后的基准电压源施加于REFCAP引脚。

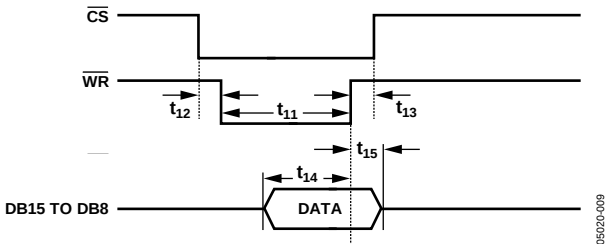


图29. 并行接口 - 字模式写入周期($\overline{\text{W}}/\text{B}=0$)

更改模拟输入范围($\overline{H}/S\ SEL = 0$)

利用AD7656/AD7657/AD7658 RANGE引脚，用户可以选择 $\pm 2 \times V_{REF}$ 或 $\pm 4 \times V_{REF}$ 作为六路模拟输入的范围。当 $\overline{H}/S\ SEL$ 引脚处于低电平时，在BUSY信号下降沿对RANGE引脚的逻辑状态进行采样，以决定下一次同步转换的模拟输入范围。当RANGE引脚在BUSY信号的下降沿处于逻辑高电平时，下一次转换的模拟输入范围为 $\pm 2 \times V_{REF}$ 。当RANGE引脚在BUSY信号的下降沿处于逻辑低电平时，下一次转换的模拟输入范围为 $\pm 4 \times V_{REF}$ 。RESET脉冲之后，在其后的第一个BUSY下降沿会更新模拟输入范围。

更改模拟输入范围($\overline{H}/S\ SEL = 1$)

当 $\overline{H}/S\ SEL$ 引脚处于高电平时，可通过写入控制寄存器来更改模拟输入范围。利用控制寄存器内的DB[12:10]，可以选择下一次转换的模拟输入范围。每对模拟输入都具有一个相应的范围bit，允许分别对每对ADC的模拟输入范围进行编程。当RNGx bit设为1时，下一次转换的模拟输入范围为 $\pm 2 \times V_{REF}$ 。当RNGx bit设为0时，下一次转换的模拟输入范围为 $\pm 4 \times V_{REF}$ 。

串行接口($SER/PAR = 1$)

通过脉冲发出1、2或全部3个CONVST_x信号，AD7656/AD7657/AD7658就可利用其片上调整振荡器，在CONVST_x上升沿对所选通道进行同步转换。达到CONVST_x上升沿后，BUSY信号变为高电平，表明已开始转换。完成转换后(3 μs后)，BUSY信号恢复低电平。此时，输出寄存器载入新转换结果，并可从AD7656/AD7657/AD7658读取数据。要通过串行接口从这些器件回读数据， $\overline{SER/PAR}$ 应接高电平。 $\overline{CS}$ 和SCLK信号用来传输AD7656/AD7657/AD7658的数据。这些器件均具有三个DOUT引脚：DOUT A、DOUT B和DOUT C。可通过单、双或三DOUT线路从各器件回读数据。

图30显示六个同步转换以及采用三DOUT线路的读取序列。同样在图30中，通过32个SCLK传输获取AD7656/AD7657/AD7658的数据；不过，还可利用 $\overline{CS}$ 信号通过两个16 SCLK单独帧传输来获取三DOUT线路上的数据。当AD7656/AD7657/AD7658采用串行模式且在所有三DOUT线路上逐个输出转换数据时，DB0/SEL A、DB1/SEL B及DB2/SEL C应与 V_{DRIVE} 相连。这些引脚分别用来使能DOUT A至DOUT C线路。

如果需要在两路数据输出线上逐个输出转换数据，则应使用DOUT A和DOUT B。要使用DOUT A和DOUT B，则应将DB0/SEL A和DB1/SEL B与 V_{DRIVE} 相连，而DB2/SEL C应接低电平。执行六个同步转换且仅用双DOUT线路时，可通过一个48 SCLK传输来获取AD7656/AD7657/AD7658的数据。利用双DOUT线路实现所有六个ADC同步转换的读取序列如图31所示。如果所有六个ADC进行同步转换，且只用双DOUT线路来读取AD7656/AD7657/AD7658的结果，则DOUT A逐个输出V1、V2及V5的结果，而DOUT B逐个输出V3、V4及V6的结果。

也可只用单DOUT线路逐个输出数据，此时应利用DOUT A来获取转换数据。要将AD7656/AD7657/AD7658配置为这种工作模式，应将DB0/SEL A与 V_{DRIVE} 相连，而DB1/SEL B和DB2/SEL C应接低电平。只用单DOUT线路的缺点是吞吐速率下降。可利用一个96 SCLK传输、三个32 SCLK单独帧传输或六个16 SCLK单独帧传输来获取AD7656/AD7657/AD7658数据。在串行模式下， $\overline{RD}$ 信号应接低电平。串行模式下，不用的DOUT线路应保持不连接。

串行读取操作

图32显示串行模式下从AD7656/AD7657/AD7658读取数据的时序图。SCLK输入信号为串行接口提供时钟源。 $\overline{CS}$ 信号变为低电平时，即可从AD7656/AD7657/AD7658获取数据。 $\overline{CS}$ 下降沿使总线脱离三态，并逐个输出16 bit转换结果的MSB。ADC输出16 bit转换结果；AD7656的数据流由16 bit转换数据所组成，MSB优先。AD7657的数据流包括两个前置0，随后是14 bit转换数据，MSB优先。AD7658的数据流包括四个前置0和12 bit转换数据，MSB优先。

转换结果的首个数据bit在 $\overline{CS}$ 下降沿后的第一个SCLK下降沿有效。随后15个数据bit在SCLK信号的上升沿逐个输出。数据在SCLK下降沿有效。要获取各转换结果，必须向AD7656/AD7657/AD7658发送16个时钟脉冲。图32显示如何利用16 SCLK读取操作来获取转换结果。

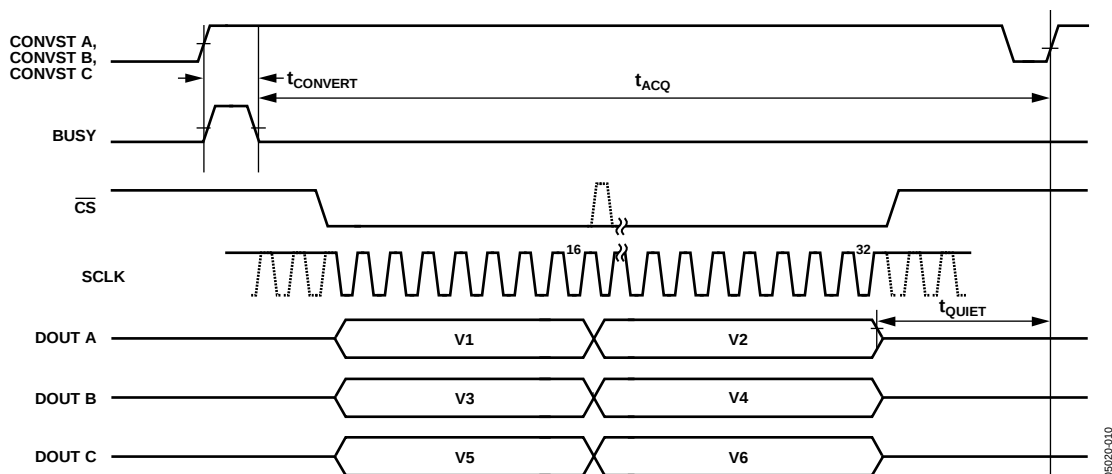


图30. 采用三路DOUT线的串行接口

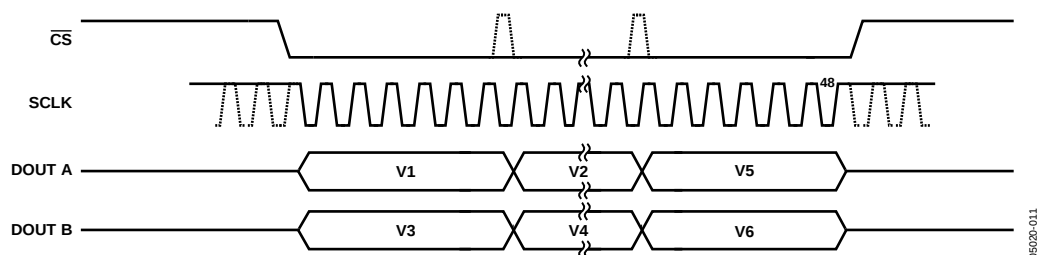


图31. 采用两路DOUT线的串行接口

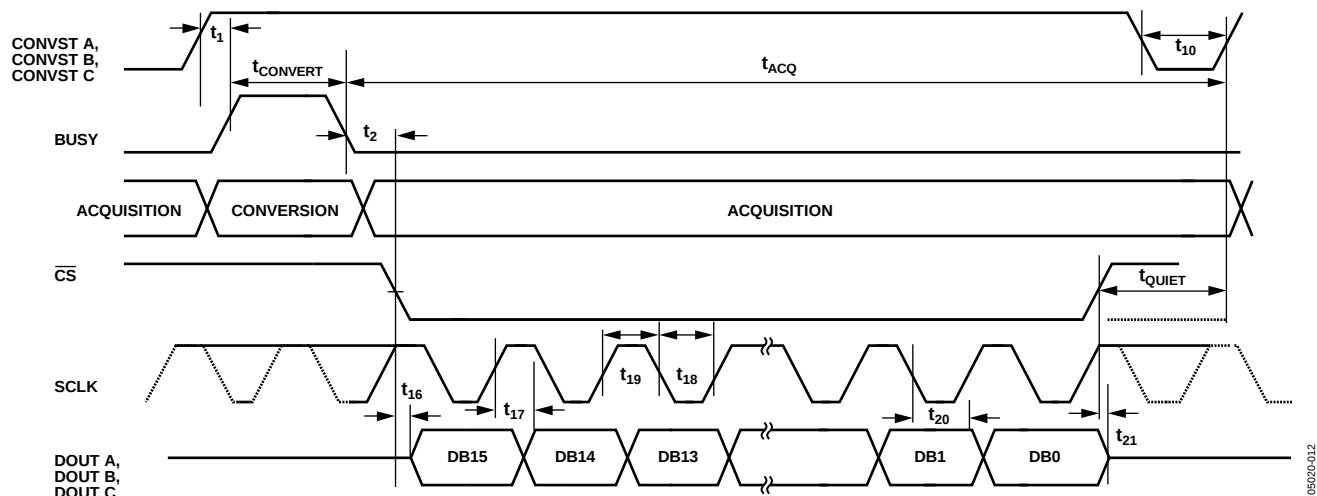


图32. 串行读取操作

菊花链模式(DCEN = 1, $\overline{\text{SER/PAR}}$ = 1)

利用3/2/1个DOUT引脚从AD7656/AD7657/AD7658回读转换数据时，可利用DCEN引脚来配置这些器件以菊花链模式工作。菊花链功能允许多个AD7656/AD7657/AD7658器件级联在一起，有利于减少元件数和接线。两个器件的菊花链连接示例如图33所示。此配置显示采用双DOUT线路。利用一个公共CONVSTx信号，可以对12路模拟输入进行同步采样。DB5、DB4及DB3数据引脚用作菊花链模式的DCIN [A:C]数据输入引脚。

利用CONVST上升沿，可以对AD7656/AD7657/AD7658启动转换。BUSY信号变为低电平，显示转换完成后，用户就可以开始从两个器件读取数据。图34显示两个AD7656/AD7657/AD7658器件在菊花链模式下工作时的串行时序图。

$\overline{\text{CS}}$ 下降沿用来使能AD7656/AD7657/AD7658器件的串行帧传输，使总线脱离三态，并逐个输出第一个转换结果的MSB。在图34示例中，全部12个ADC通道均进行同步采样。在此示例中，使用双DOUT线路来读取转换结果。 $\overline{\text{CS}}$ 使能一个96 SCLK帧传输。在第一组48 SCLK期间，转换数据从器件2传输到器件1。器件2上的DOUT A将转换数据从V1、V2和V5传输到器件1内的DCIN A；器件2上的DOUT B将转换结果从V3、V4及V6传输到器件1内的DCIN B。在第一组48 SCLK期间，器件1将数据传输到数字主机内。器件1上的DOUT A传输V1、V2及V5的转换数据；器件1上的DOUT B传输V3、V4及V6的转换数据。在最后一组48 SCLK期间，器件2逐个输出0，器件1将第一组48 SCLK期间从器件2逐个输入的数据传输至数字主机内。如果DCEN在传输期间保持高电平，则此示例还可利用六个16 SCLK单独帧传输来实现。

图35显示两个AD7656/AD7657/AD7658器件以菊花链模式配置并采用三DOUT线路工作的时序。假设对所有12路输入进行同步采样，在读取操作期间 $\overline{\text{CS}}$ 使能一个64 SCLK帧传输。在此传输的第一组32 SCLK期间，器件1的转换结果逐个输入数字主机，器件2的转换结果则逐个输入器件1。在此传输的最后一组32 SCLK期间，器件2的转换结果从器件1逐个输出，并输入数字主机，同时器件2逐个输出0。

待机/部分掉电省电工作模式

每对ADC都可分别通过在BUSY下降沿之前拉低CONVST_x信号来进入部分掉电省电模式。要使ADC对再次上电，应拉高CONVST_x信号，命令ADC对上电，并使采样保持放大器进入跟踪模式。经过从部分掉电省电模式到恢复正常工作的上电时间后，CONVST信号应收到一个上升沿以启动有效转换。在部分掉电省电模式下，基准电压缓冲器保持上电。当某个ADC对处于部分掉电省电模式时，其它ADC仍可进行转换。

AD7656/AD7657/AD7658支持待机模式，因而器件可以进入低功耗模式(最大100 μW)。拉低逻辑输入 $\overline{\text{STBY}}$ 即可进入待机模式，拉高 $\overline{\text{STBY}}$ 则再次上电，恢复正常操作。处于待机模式时，输出数据缓冲器仍会继续工作，用户可继续获取器件的转换结果。利用此待机功能，能够降低AD7656/AD7657/AD7658以低吞吐速率工作时的平均功耗。器件可在BUSY变电平，各转换结束时进入待机模式，并可在下一次转换前再次脱离待机模式。脱离待机模式的时间称为唤醒时间。唤醒时间限制AD7656/AD7657/AD7658在转换之间掉电时的最大吞吐率。参见“技术规格”部分。

AD7656/AD7657/AD7658

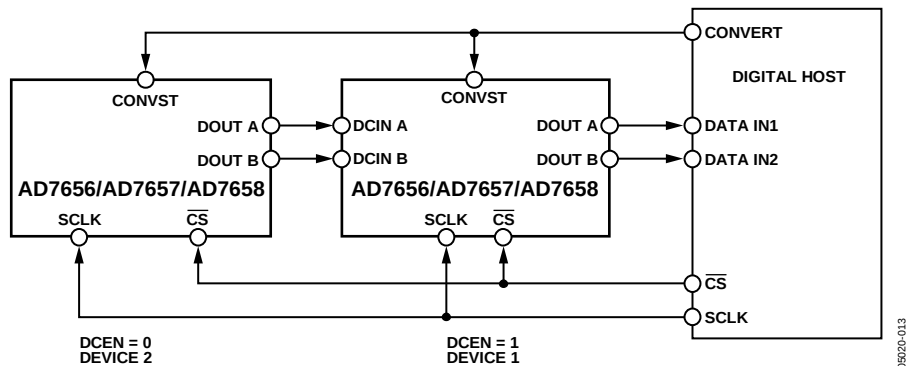


图33. 菊花链配置

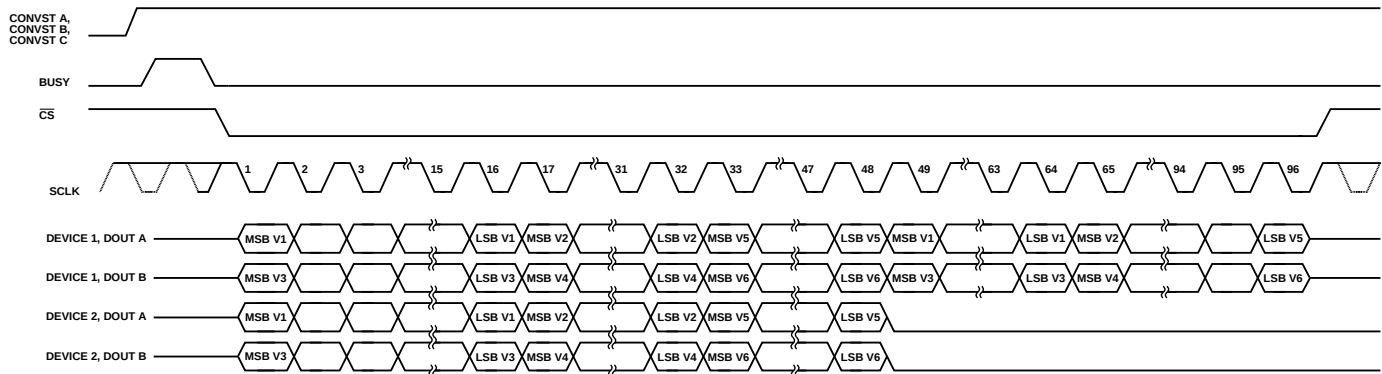


图34. 采用两路DOUT线的菊花链串行接口时序

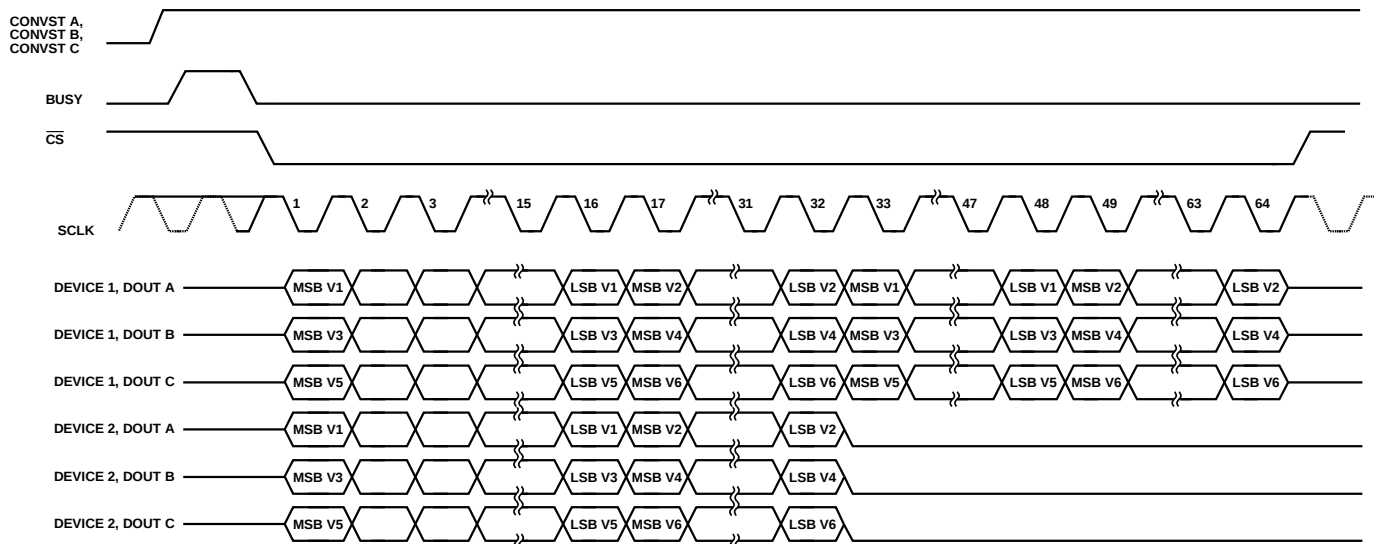


图35. 采用三路DOUT线的菊花链串行接口时序

应用须知

布局

AD7656/AD7657/AD7658所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。

至少应使用一个接地层。数字和模拟部分可以共用或分割使用接地层。在使用分割的地层时，数字地和模拟地应单点连接。单点连接点最好在AD7656/AD7657/AD7658正下方或尽可能靠近各个器件。如果AD7656/AD7657/AD7658系统内有多个器件要求模数接地，仍应坚持单点接地，把接地点放置在尽可能靠近AD7656/AD7657/AD7658的一个星型接地点。确保每个接地引脚与地层的良好连接。避免多个接地引脚共用一个到地层的连接的情况。每个接地引脚应使用单个过孔或多个过孔接入接地层。

应避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应允许模拟接地层布设在AD7656/AD7657/AD7658下方，以避免噪声耦合。如CONVST或时钟等快速切换信号要使用数字地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且快速切换信号绝不能靠近模拟信号路径。应避免数字信号与模拟信号交叠。电路板邻近层上的走线应彼此垂直，以减小电路板的馈通效应。

AV_{CC} 、 DV_{CC} 、 V_{DRIVE} 、 V_{DD} 及 V_{SS} 引脚的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。应在电源引脚和电路板的电源走线之间建立良好连接；这包括每个电源引脚应使用单个过孔或多个过孔连接至电源走线和电源层。

良好的去耦也很重要，以便降低AD7656/AD7657/AD7658的电源阻抗，并减少电源尖峰幅度。所有电源引脚 V_{DD} 、 V_{SS} 、 AV_{CC} 、 DV_{CC} 和 V_{DRIVE} 上都应连接典型值为100 nF的去耦陶瓷电容。这些去耦电容应靠近(理想情况是紧靠)这些引脚及其对应接地引脚放置。此外，每个电源引脚上都应放置低ESR 10 μ F电容。应避免引脚共用这些电容。应使用大过孔将这些电容与电源和接地层相连。过孔和电容焊盘之间应使用较宽、较短的走线，或使过孔紧邻电容焊盘，以便最大程度地降低寄生电感。对于 AV_{CC} 去耦，推荐的去耦电容为100 nF、低ESR、陶瓷电容(Farnell 335-1816)和10 μ F、

低ESR、钽电容(Farnell 197-130)。应在 AV_{CC} 电源进入电路板处放置一个大型去耦钽电容。

替代降低去耦要求的配置如“典型连接图”部分所述。这种去耦配置将 AV_{CC} 电源引脚合并成对并允许电源对之间共享去耦电容。六个 AV_{CC} 内核电源引脚合并为三对，即引脚34和引脚35、引脚40和引脚41，以及引脚46和引脚47。将每对中的电源引脚连在一起；这些引脚在AD7656/AD7657/AD7658引脚配置上的位置可轻松做到这点。对于AD7656，应通过一个100 μ F电容对每对电源引脚去耦；对于AD7657，应通过一个33 μ F电容去耦；对于AD7658，则应通过一个22 μ F电容去耦。对于这种最低去耦配置，所有其它电源引脚和基准引脚均应通过10 μ F去耦电容进行去耦。

电源配置

如“绝对最大额定值”部分所述，向器件施加AD7656/AD7657/AD7658电源之后，才可向AD7656/AD7657/AD7658施加模拟输入。不过，如果系统模拟信号调理电路电源不同于AD7656/AD7657/AD7658的 V_{DD} 和 V_{SS} 电源，或者在建立AD7656/AD7657/AD7658电源之前就施加模拟输入，那么建议将一个模拟输入串联电阻和肖特基二极管与 V_{DD} 和 V_{SS} 电源串联，如图36所示。如果在 V_{DD} 和 V_{SS} 之前向AD7656/AD7657/AD7658施加 AV_{CC} ，那么也应采用这种配置。

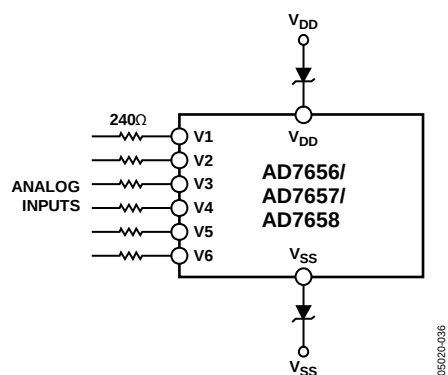
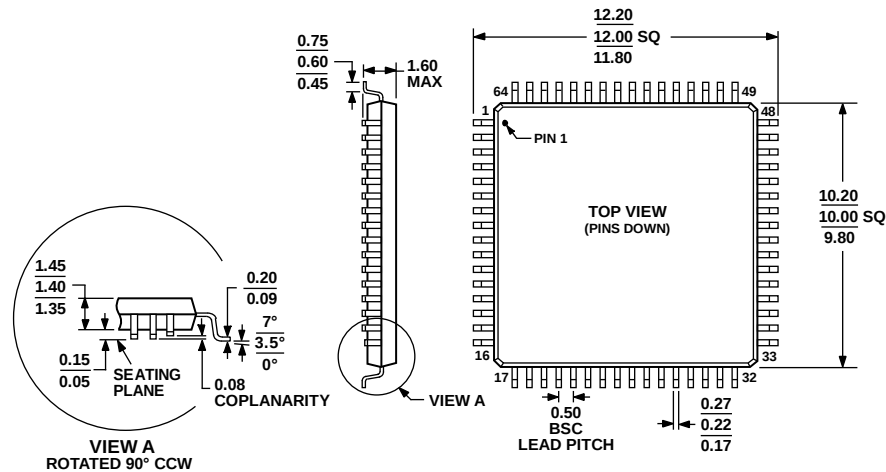


图36. 电源配置

外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

图37. 64引脚薄型四方扁平封装[LQFP]
(ST-64-2)
图示尺寸单 bit: mm

订购指南

型号 ^{1,2}	温度范围	封装描述	封装选项
AD7656BSTZ	−40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7656BSTZ-REEL	−40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7656YSTZ	−40°C 至 +125°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7656YSTZ-REEL	−40°C 至 +125°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7657BSTZ	−40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7657BSTZ-REEL	−40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7657YSTZ	−40°C 至 +125°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7657YSTZ-REEL	−40°C 至 +125°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7658BSTZ	−40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7658BSTZ-REEL	−40°C 至 +85°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7658YSTZ	−40°C 至 +125°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
AD7658YSTZ-REEL	−40°C 至 +125°C	64引脚薄型四方扁平封装[LQFP]	ST-64-2
EVAL-AD7656CBZ		评估板	
EVAL-AD7657CBZ		评估板	
EVAL-AD7658CBZ		评估板	
EVAL-CONTROL BRD2Z		控制板	

¹ Z = 符合RoHS标准的器件。
² EVAL-CONTROL BRD2Z是个完整单元，允许PC对所有带CB标志后缀的ADI评估板进行控制并与之通信。要订购完整的评估套件，必须订购指定的ADC评估板(如EVAL-AD7656/AD7657/AD7658CBZ、EVAL-CONTROL BRD2Z)和一个12V变压器。更多详情请见相关评估板的技术笔记。

注释

注释